

高い（電子・正孔）移動度を有する高性能な 統合化 CMOS デバイスの提案

大曾根 隆 志・岩 田 栄 之

(工学部 電子情報工学科)

1. ま え が き

Si 基板上に (p/n) 両チャンネルの MOSFET を集積化した CMOS デバイス(1)は、高速動作・低消費電力で、且つ、高集積密度であるという特長を有し、現在の ULSI デバイスの主役の座を占めており、今後も益々の発展が期待されている。又、最近では CMOS デバイスを主体として、更にバイポーラを集積化した Bi-CMOS デバイス(2)が注目されている。この Bi-CMOS デバイスは上に述べた CMOS デバイスの特長に、多少のプロセスの複雑さを犠牲にしてもバイポーラ・デバイスのもつ超高速動作の特長を組み合わせ、ULSI としての総合特性の向上を目指したものである。この Bi-CMOS デバイスの特長を良く生かした適用例としては、超高速アクセス時間を実現した大容量のスタック RAM (3)がある。これらの技術動向を考えると、CMOS デバイスの特長である低消費電力・高集積密度を生かしながら、超高速動作を実現するための要求が強いと思われる。

MOSFET の高速動作性能を左右する Gain Factor (K_p)は $\mu_{eff} \cdot C_{ox} \cdot (W/L)$ で与えられる(4)。ここに、 μ_{eff} 、 C_{ox} 、 W と L は、それぞれ、チャンネルの実効移動度、ゲート絶縁膜容量、チャンネル幅及びチャンネル長である。従来の高速動作性能の向上はスケールリング則(5)による L の縮小と、それに付随した C_{ox} の薄膜化及び電源電圧の低下に着目されてきた。このスケールリング則は、CMOS デバイスの高速動作性能のみならず、低消費電力性能や高集積密度の大幅な改善を同時に満足する優れた手法である。しかし、最近では、 L の縮小にも限界が見え始め、液体窒素温度 (77 K)での μ_{eff} の向上とサブスレッショルド特性の改善による閾値電圧の低下により低電圧での超高速動作を実現する方向の研究もなされている(6)。

他方、最近の半導体結晶成長技術の著しい進展により、ある半導体基板の上に異種または混合した複数種の半導体結晶を形成する統合化結晶成長技術 (Synthesized Crystal Growth Technology) が可能となり、すでに Si デバイスと GaAs デバイスの同一基板上への形成を実現している (7、8)。又、Ge 結晶の電子の高移動度に着目して Ge 型 MOSFET の試作結果(9)

や、Si-Ge の混晶結晶を用いたデバイスで高い移動度を確認した報告(10)もあり、高移動度半導体結晶の採用が注目されつつある。

本報告では、CMOS デバイスの超高速動作特性を実現するために、高い電子移動度と正孔移動度をもつ異種の半導体結晶を組み合わせた統合化 CMOS デバイス (Synthesized-CMOS Devices) の可能性を検討する。電源電圧は 3 V で、動作温度は 77 K を想定して、種々の半導体結晶の組合せを考慮した結果、(p 型 GaAs/n 型 Ge) の組合せが最も高性能な CMOS デバイスの特性を示すことが予測された。CMOS インバータの回路シミュレーションを行い、従来の Si を用いた CMOS デバイスと比較して高速動作特性、集積密度とも 1 桁以上の改善がなされることが予測される。

2. 統合化 CMOS のための半導体結晶の検討

高性能な統合化 CMOS デバイスを実現するために検討した半導体結晶の一覧を第 1 表に示す。

単元素系の半導体としては Ge と Si を、III-V 族半導体としては GaSb, GaAs, GaP, InSb, InAs と InP を考慮する。その他の半導体結晶として III-V 族では AlSb や GaN が、IV-IV 族の SiC, II-VI 族の CdS や CdTe 等、又、IV-VI 族の PbS や PbTe 等も考えられるが、何れも移動度が低かったり、物理パラメータが不明確であるので検討の対象から除いた。

物理パラメータとしては、300 K と 77 K での電子・正孔の移動度 (μ_n, μ_p)、300 K のエネルギー・バンドギャップ、格子定数、線膨張係数、熱伝導率、誘電率、及び融点である。このうち、エネルギー・バンドギャップは CMOS 回路を構成した場合の使用温度範囲に重要な影響を及ぼし、線膨張係数は異なる半導体結晶を同一の基板に形成する場合の組合せを考える上で考慮する必要がある。

(a) 移動度とエネルギー・バンドギャップ

第 1 図に各種半導体の移動度とエネルギー・バンドギャップの関係を示す。バンドギャップの CMOS デバイスの使用温度の上限に対する制限は Si 型 CMOS デバイスの例より推定する。即ち、Si 型 CMOS デバイスの使用上限温度 T_u は 125°C であり、 $kT_u(Si) = 0.035 \text{ eV}$ である。一方、Si のエネルギーバンドギ

第1表 各種半導体の物理パラメータ。

Semiconductor	Mobility (cm ² /V·s)				Bandgap (eV)		Lattice Const.(nm)		Linear Coeff.of Thermal Expansion (X10 ⁻⁶ /°C)	Thermal Conductivity (300 K) (W/cm ² ·°C)	Dielectric Constant	Melting Point (°C)	
	(300 K)		(77 K)		(300 K)	Band	(300 K)	Structure					
	μ _e	μ _h	μ _e	μ _h									
Element	Ge	3,900	1,900	30,000	35,000	0.66	I	0.5646 (+4.0%)	D	5.8	0.60	16.0	937
	Si	1,500	450	10,000	(3,000)	1.12	I	0.5431 (STD)	D	2.6	1.5	11.9	1,415
III-V	GaSb	5,000	850	10,000	5,000	0.72	D	0.6096 (+12.2%)	Z	6.7	0.33	15.7	712
	GaAs	8,500	400	250,000	7,500	1.42	D	0.5653 (+4.1%)	Z	6.8	0.46	13.1	1,238
	GaP	110	75	2,500	1,000	2.26	I	0.5451 (+0.4%)	Z	5.3	1.1	11.1	1,467
	InSb	80,000	1,250	900,000	10,000	0.17	D	0.6479 (+19.3%)	Z	5.0	0.18	17.7	525
	InAs	33,000	460	120,000	-	0.36	D	0.6058 (+11.5%)	Z	5.2	0.26	14.6	943
	InP	4,600	150	160,000	1,300	1.35	D	0.5869 (+8.1%)	Z	4.5	0.7	12.4	1,070

* Band I : Indirect, D : Direct
 ** Structure D : Diamond, Z : Zincblend

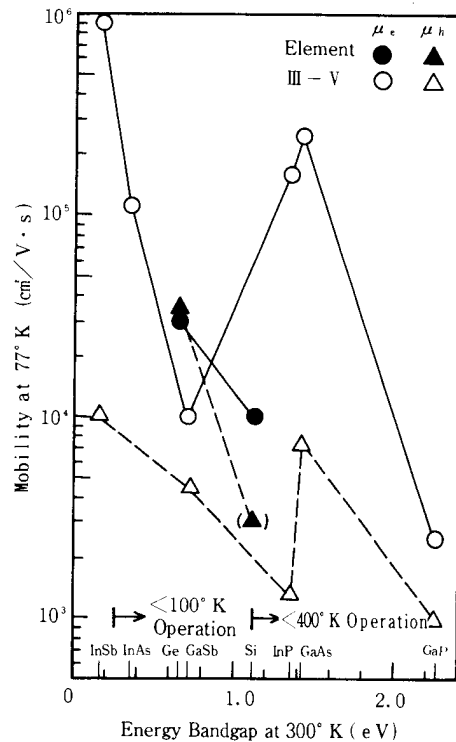
ギャップE_g(Si)は1.12 eV (300 K)であるから、その比E_g(Si)/k T。(Si)=32である。この比が液体窒素温度(77 K)での動作デバイスにも適用できると想定する。液体窒素動作デバイスの使用上限温度T。(LN)を100 Kとすれば上述の議論よりk T。(LN)=0.0086 eVであるから許容されるエネルギー・バンドギャップは約0.28 eVが得られる。従って、100 K動作デバイスであれば第1表に示した半導体のうちInSbを除く全ての半導体結晶が使用可能であろう。従って、この議論からは77 Kで高い電子移動度をもつGaAsとInPが、高い正孔移動度をもつGeやGaAsが選択の対象になる。

(b) 移動度と格子定数の関係

異種の半導体を同一の基板に成長させることを考えると、成長中や成長後の格子歪が小さいことが望ましいので、格子定数の近接した半導体同士の組合せが好ましいと思われる。第2図は、移動度と300 Kでの格子定数との関係を示す。第2図より、格子定数が相互に近接し、しかも、77 Kで高い電子・正孔移動度μ_e、μ_hをもつ結晶の組合せとしては(GaAs/Ge)があり、μ_e(GaAs)は2.5×10⁵ cm²/V·s、μ_h(Ge)は3.5×10⁴ cm²/V·sと推定できる。

(c) 線膨張係数と熱伝導率

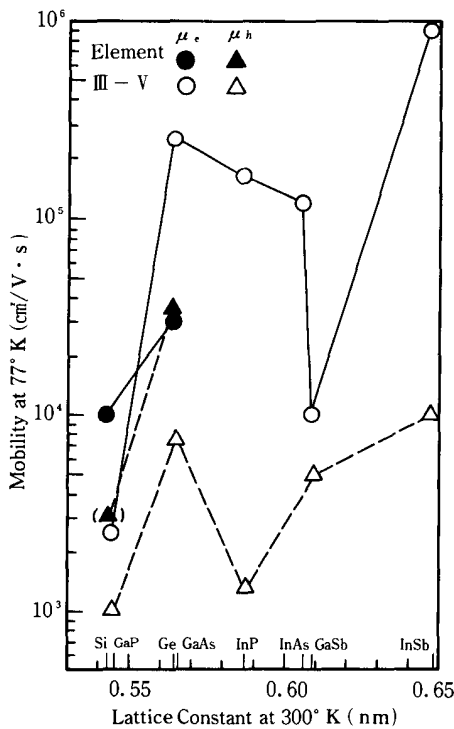
結晶成長後の冷却過程での結晶性の劣化を招かないためには、線膨張係数の差が小さいことが望ましい。又、CMOS デバイスを高密度に集積した場合の良好な



第1図 77 Kでの電子、正孔移動度とエネルギー・バンドギャップの関係

熱放散を考えると熱伝導率の高いことも望まれる。

第3図は各結晶に対する線膨張係数と熱伝導率を示

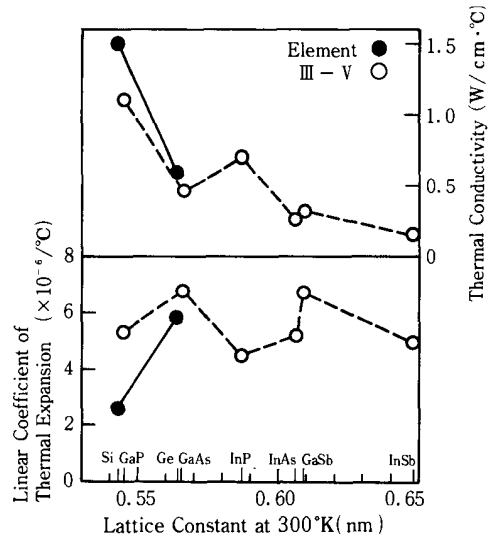


第2図 77Kの電子、正孔移動度と格子定数の関係

す。第2図の議論で好ましい組合せとして得られた (GaAs/Ge) の線膨張係数は、それぞれ、 6.8×10^{-6} と $5.8 \times 10^{-6} / ^\circ\text{C}$ で、その差は約 $1 \times 10^{-6} / ^\circ\text{C}$ である。1000°Cでの結晶成長を考えても室温迄で約0.1%の膨張差が予測される。この線膨張係数の差 $1 \times 10^{-6} / ^\circ\text{C}$ は、(GaAs/Si)での組合せの線膨張係数の差(約 $4.2 \times 10^{-6} / ^\circ\text{C}$) に比べて約 $1/4$ 以下であり、室温迄冷却した場合の歪みも小さいと考えられるので、より好ましい組合せであると思われる。

他方、熱伝導率は GaAs, Ge に対して、それぞれ 0.46 と $0.60 \text{ W/cm} \cdot ^\circ\text{C}$ であり、Si ($1.5 \text{ W/cm} \cdot ^\circ\text{C}$) に比べて約 $1/3$ である。従って、高集積度にした場合にはこの低い熱伝導率を補うためにウェーハを薄くしたり、他の熱伝導率の高い基板の上に両者の結晶を成長させるなどのデバイス冷却のための対策が必要であろう。

以上の議論をまとめると、77Kで高い(電子・正孔)移動度をもつ統合化 CMOS デバイスとして望ましい半導体結晶の組合せとして (GaAs/Ge) が選定される。この組合せが他の場合に比べてどの程度の優位性があるかを検討するために、第2表に示す CMOS デバイスとしての各種の組合せを考える。単一結晶の CMOS



第3図 線膨張係数及び熱伝導率と格子定数の関係

デバイスとしては Si < Case A >, Ge < Case B >, GaAs < Case C > を、異なる半導体結晶を形成する統合化 CMOS デバイスとしては (Si/Ge) < Case D >, (GaAs/Si) < Case E >, (GaAs/Ge) < Case F > の6種類を考える。以下に、第2表の作成に際しての仮定を説明する。

(1) Siの77Kにおける正孔移動度 $\mu_h(77\text{K})$ は、電子移動度 μ_e より、以下の関係式を仮定して求めた。即ち、 $\mu_h(77\text{K}) = \mu_h(300\text{K}) \times \{\mu_e(77\text{K}) / \mu_e(300\text{K})\} = 3,000 \text{ cm}^2/\text{V} \cdot \text{s}$

(2) 各種結晶における電子及び正孔の移動度の改善係数 β_e, β_h は、以下の関係から求める。

$$\beta_e = \mu_e(77\text{K}) / \mu_e(\text{Si at } 77\text{K})$$

$$\beta_h = \mu_h(77\text{K}) / \mu_h(\text{Si at } 77\text{K})$$

(3) 各種の半導体結晶で MOSFET を形成した場合の電子・正孔の実効移動度 $\mu_{e(\text{eff})}, \mu_{h(\text{eff})}$ の求め方; Si型 MOSFETの300Kにおける $\mu_{e(\text{eff})}$ と $\mu_{h(\text{eff})}$ を、それぞれ $600, 300 \text{ cm}^2/\text{V} \cdot \text{s}$ と仮定し、これらの値に対して77Kでは約3倍に増大すると考える(11)。

以上に述べた(1)から(3)を仮定して求めた各種半導体結晶での MOSFET の実効移動度を第2表に示す。第2表の右端には、 $\mu_T = \mu_{e(\text{eff})} + \mu_{h(\text{eff})}$ の値を示し、括弧内には (Si/Si) での μ_T 値 $2,700 \text{ cm}^2/\text{V} \cdot \text{s}$ に対する比を示す。最も好ましい組合せの (GaAs/Ge) では、(Si/Si) に対して μ_T は約21倍となり、超高速動作が期待できることが予測される。

第2表 回路シミュレーションに用いた77KにおけるCMOSデバイスの実効移動度。

Substrate	Case	CMOS Device		Effective Mobility (cm ² /V·s)		Improvement Factor		μ_{τ} (= $\mu_{e(eff)}$ + $\mu_{h(eff)}$) (cm ² /V·s)
		n-MOSFET	p-MOSFET	$\mu_{e(eff)}$	$\mu_{h(eff)}$	β_e	β_h	
Single	A	Si	Si	1,800	900	1	1	2,700 (1)
	B	Ge	Ge	5,400	11,000	3	12	16,400 (6)
	C	GaAs	GaAs	45,000	2,300	25	2.5	47,300 (18)
Synthesized	D	Si	Ge	1,800	11,000	1	12	12,800 (5)
	E	GaAs	Si	45,000	900	25	1	45,900 (17)
	F	GaAs	Ge	45,000	11,000	25	12	56,000 (21)

$\beta_e = \mu_{e(eff)}(77K) / \mu_{e(eff)}(\text{Si at } 77K)$
 $\beta_h = \mu_{h(eff)}(77K) / \mu_{h(eff)}(\text{Si at } 77K)$

3. 統合化CMOSデバイスの性能評価

第2表に示す Case A ~ F の6種類の組合せのCMOSデバイスについて回路シミュレーションを行い、性能の比較を行う。回路シミュレーションに用いた回路は第4図に示すような6段に直列接続したCMOSインバータ・チェーンである。入力端子に入力パルス波形を印加し、6段目のインバータの出力端子からの出力パルス波形をシミュレーションし、その時の各パルス波形間の一段当りの遅延時間 (τ) を求める。但し、 τ は電源電圧 V_{DD} の1/2の電圧値に於ける入力パルスの立ち上がり・立ち下がりに対する6段目インバータの出力波形の遅延時間 τ_1 、 τ_2 の平均値をインバータの段数6で割った値である。

シミュレーションに用いた MOSFET モデルは、最

も基本的な以下に示すモデルである(12)。

(a) 非飽和領域

$$|V_{DS}| \leq |V_{GS}| - |V_T|, |V_{GS}| > |V_T|$$

$$I_{DS} = K_p \{ (V_{GS} - V_T) V_{DS} - V_{DS}^2 / 2 \}$$

(b) 飽和領域

$$|V_{DS}| \geq |V_{GS}| - |V_T|, |V_{GS}| > |V_T|$$

$$I_{DS} = K_p (V_{GS} - V_T)^2 / 2$$

但し、 $K_p = \mu_{(eff)} C_{ox} (W/L)$

$$C_{ox} = \epsilon_{ox} / T_{ox}$$

ここに、

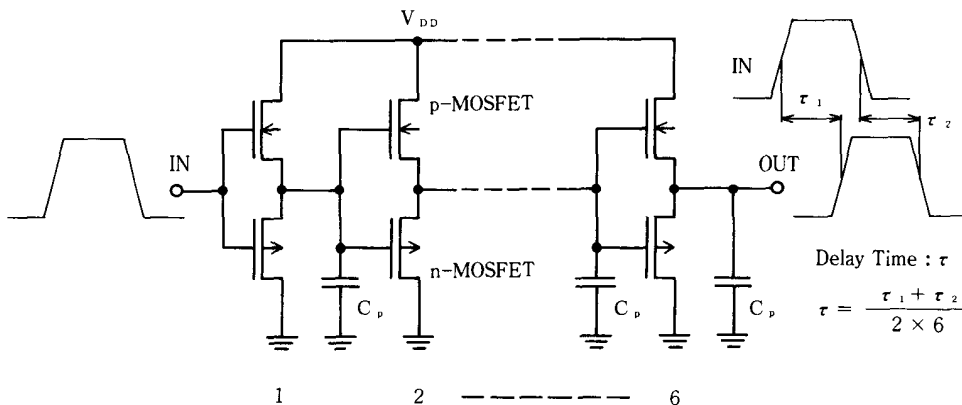
V_{DS} : ドレイン・ソース間電圧

V_{GS} : ゲート・ソース間電圧

V_T : 閾値電圧

K_p : Gain Factor

$\mu_{(eff)}$: 実効移動度



第4図 回路シミュレーションを行った6段に直列接続したCMOSインバータ・チェーン。

第3表 回路シミュレーションのパラメータ。

$$V_{DD(t,p)} = 3.0V, V_{Tn} = -V_{Tp} = V_{DD}/5 = 0.6V$$

Substrate	Case	CMOS Device		Dimension of MOSFET's		C _p (fF)	C _p Ratio
		n-MOSFET	p-MOSFET	W _n /L _n (μm)	W _p /L _p (μm)		
Single	A	Si	Si	10.0/0.5	20.0/0.50	157	1
	B	Ge	Ge	3.3/0.5	1.7/0.5	26	0.17
	C	GaAs	GaAs	0.4/0.5	8.0/0.5	44	0.28
Synthesized	D	Si	Ge	10.0/0.5	1.7/0.5	61	0.39
	E	GaAs	Si	0.4/0.5	20.0/0.5	107	0.68
	F	GaAs	Ge	0.4/0.5	1.7/0.5	11	0.07

$$C_p = 3 C_{ox} (W_n \cdot L_n + W_p \cdot L_p)$$

$$C_{ox} = 3.5 \text{ fF} / \mu\text{m}^2 \text{ (SiO}_2 \text{ 10 nm)}$$

- C_{ox} : ゲート絶縁膜容量
- ε_{ox} : ゲート絶縁膜の誘電率
- T_{ox} : ゲート絶縁膜の膜厚
- W : チャネル幅
- L : チャネル長

(n-MOSFET と p-MOSFET に対するパラメータについては、それぞれの記号に n と p の添字をつける)

回路シミュレーションの条件を以下に示す。

- (1) n-MOSFET と p-MOSFET は完全対称である：両 MOSFET の Gain Factor は等しく (K_{p_n} = K_{p_p})、両 MOSFET の閾値電圧も等しい (V_{Tn} = -V_{Tp})。
- (2) 両 MOSFET のチャネル長 L_n, L_p は 0.5 μm とする。
- (3) 各種 CMOS デバイスの K_{p_n} と K_{p_p} は、すべて等しくなるように n-MOSFET と p-MOSFET のチャネル幅 W_n, W_p を選択する。即ち、Si の n-MOSFET のチャネル幅 W_n(Si) を標準の 10 μm とすれば、p-MOSFET のチャネル幅 W_p(Si) は μ_{e(eff)}(Si) · W_n(Si) = μ_{h(eff)}(Si) · W_p(Si) を満足するように W_p(Si) = 20 μm に選ぶ。同様に、例えば、GaAs の場合には μ_{e(eff)}(GaAs) · W_n(GaAs) = μ_{e(eff)}(Si) · W_n(Si) を満足するようにチャネル幅を選択し、W_p(GaAs) = 0.4 μm とする。
- (4) ゲート絶縁膜の膜厚 T_{ox} は、SiO₂ 膜で 10 nm 相当とする。従って、C_{ox} = 3.5 fF / μm²。
- (5) 各インバータの出力端子に付随する寄生容量 (C_p) は、次段のインバータのゲート絶縁膜容量の n 倍、即ち、C_p = n · C_{ox} (L_nW_n + L_pW_p) とする。但し、本報告では、n = 3 の場合について解析を行った。尚、回路シミュレーション上はこの C_p 以外に n- と p-

MOSFET のゲート容量が付随する。又、ソース・ドレインの拡散層の寄生容量は無視する。

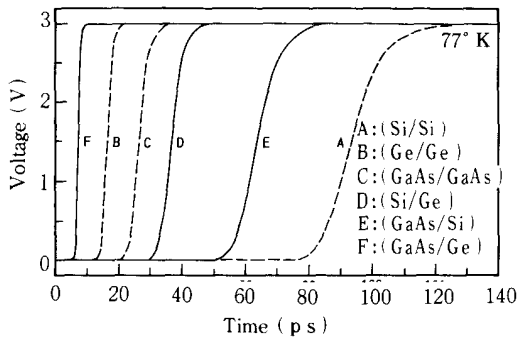
- (6) 回路シミュレーションの標準電源電圧は 3.0V である。又、n- と p- の両 MOSFET の閾値電圧 V_{Tn}, V_{Tp} は、この電源電圧 V_{DD} = 3.0V に対して V_{Tn} = -V_{Tp} = V_{DD}/5 = 0.6V を満足するように選ぶ。

表 3 に、回路シミュレーションに用いた MOSFET の L と W の寸法と、寄生容量 C_p の一覧を示す。

C_p 比は、(Si/Si) 型 CMOS デバイスの C_p 値に対する相対値を示す。(GaAs/Ge) 型 CMOS デバイスの C_p は、(Si/Si) の場合に比べて約 1/14 に減少するので、それだけ超高速動作が期待できる。

第 5 図は、第 4 図に示した 6 段直列接続インバータの電源電圧 (V_{DD}) 3.0V での 6 段目の立ち上がり出力波形を示す。遅延時間は Case F, B, C, D, E, A の順に遅くなっており、Case A と F を比較すると 1 桁以上の改善が見られる。

第 6 図に、第 3 表に示す 6 つの Case に対して回路シミュレーションで得られた遅延時間 (τ) の電源電圧 (V_{DD}) 依存性を示す。図の上部に示す点線の曲線は、Case A (Si/Si) の 300K での特性を示す。V_{DD} が 3.0V に於ける Case A 及び F に対する τ 値は、15 ps 及び 1.0 ps が得られた。従って、77K 動作の (Si/Si) 型に比べて (GaAs/Ge) 型 CMOS デバイスは、τ 値が約 1/15 に短縮される。Case F の次に改善効果の著しい Case B (Ge/Ge) の場合には、τ 値は 2.5 ps で、Case A に比べて約 1/6 に改善される。尚、一点鎖線の曲線は、Case F で MOSFET の閾値電圧 V_{Tn} = -V_{Tp} を 0.3V にした場合の特性を示す。3V 以下の低電圧領域での減電圧特性が明瞭に改



第5図 第3表に示す6つのCaseに対して得られたCMOSインバータ・チェーンの6段目の出力波形。入力パルスは0V~3V振幅で、立ち上がり・立ち下がり時間は1ps。

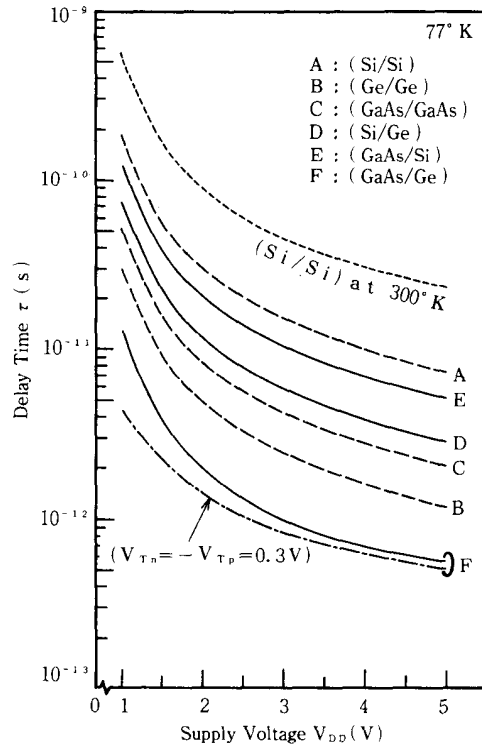
善される。例えば、 V_{DD} が1.0Vと比較すると、 τ 値は、13psから4.2psへと約1/3に短縮され改善効果が大きい。低温領域ではMOSFETのサブスレッショルド特性が大幅に改善されるため閾値電圧を小さく選べるということが知られているので、低電圧・超高速動作を実現するためには、出来るだけ低い閾値電圧が選べるように回路設計することが好ましい。

回路の性能を示す指数として、遅延時間・消費電力積 (τP) がある。消費電力 (P) は、CMOSインバータの状態が反転するときに消費する直流成分と、負荷容量 (C_p) の充放電に消費し動作周波数に比例するダイナミック成分がある。CMOSインバータが最高動作周波数 (f) で動作している時には、ダイナミック成分が支配的であり、 P は $f C_p V_{DD}^2$ で与えられる。 f は $1/\tau$ で近似されるとすれば、 $\tau P = C_p V_{DD}^2$ となり、寄生容量と電源電圧のみに依存する。

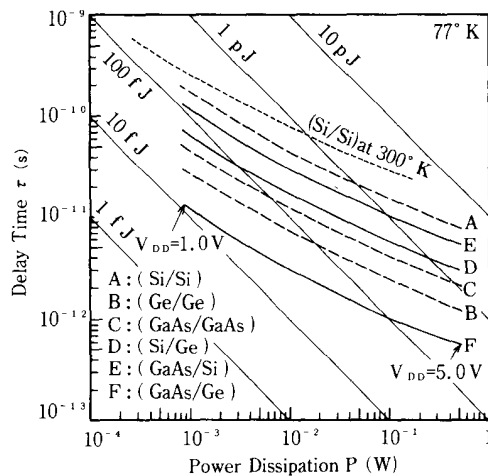
第7図は、 τ の P 依存性を示す。図の各特性曲線の左端と右端の点は、それぞれ、 V_{DD} が1.0Vと5.0Vでの値を示す。尚、点線はCase A (Si/Si) の300Kでの特性を示す。Case A, BとFを比較すると、 τP 値は $V_{DD}=1.0V$ で160fJから25fJと11fJへ、 $V_{DD}=3.0V$ で1.4pJから0.23pJと0.10pJへと、それぞれ、約1/6と1/14に改善される。

4. 統合化CMOSデバイスの構造

従来のSi型CMOSデバイスに比べて1桁以上の性能改善が期待できるCase Fの(GaAs/Ge)型CMOSデバイスとして第8図に示すような構造が考えられる。第8図(a)は従来のnウェル構造のSi型CMOSデバイスである。p型Si基板中にn-MOSFETを、



第6図 第3表に示す6つのCaseのCMOSデバイスでの、遅延時間 (τ) の電源電圧 (V_{DD}) 依存性。



第7図 表3に示す6つのCaseのCMOSデバイスでの、遅延時間 (τ) と消費電力 (P) の関係。

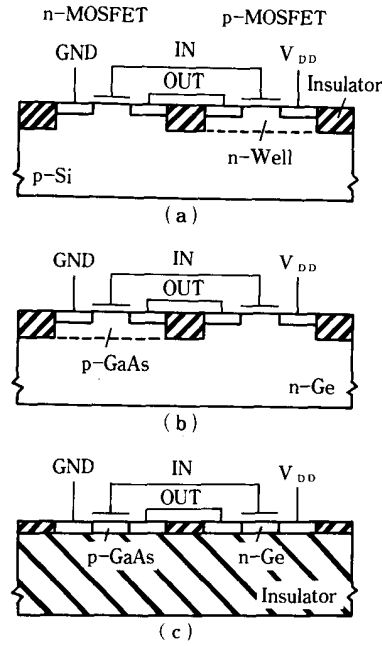
p型Si基板に形成したnウェル中にp-MOSFETを形成し、相互のMOSFET間を絶縁膜で素子分離する。他方、第8図(b)に示す(GaAs/Ge)型CMOSデ

バイスでは、n 型 Ge 基板中に p 型 GaAs 層を選択的に結晶成長し、この p 型 GaAs 層中に n-MOSFET を、n 型 Ge 基板中に p-MOSFET を形成する。両 MOSFET 間は絶縁膜で素子分離する。この場合には、MOSFET のソース・ドレインと基板間には、pn 接合容量による寄生容量が付随して高速動作特性の劣化を招く。これを改善した構造を第 8 図(c)に示す。絶縁物単結晶基板上に n 型 Ge と p 型 GaAs の極く薄い単結晶薄膜を選択的に形成する。この薄膜中にソース・ドレインの底面が絶縁体基板に接するように形成し、両 MOSFET 間を絶縁膜で素子分離する。この場合は、SOI (Silicon On Insulator) 構造の CMOS デバイスと同様に MOSFET のソース・ドレインの寄生容量は無視できる程度に小さくできるため、より高速で動作が可能となる。又、この場合には、低コストの絶縁体基板を適切に選択すれば、CMOS デバイスの低コスト化が可能である。

上に述べた統合化 CMOS デバイスを実現するための課題を以下に述べる。

- (1) Ge 基板上への GaAs 単結晶層の選択成長技術、又は、絶縁物単結晶基板上への (GaAs / Ge) 薄膜単結晶層の成長技術の確立。
- (2) GaAs や Ge 単結晶層上への MOSFET の形成技術の確立。特に、高い実効移動度を実現するためにゲート絶縁膜-半導体単結晶層間の界面状態の制御技術の確立。
- (3) (GaAs / Ge) に対して、相互にプロセス互換性の優れた MOS デバイスの製作技術の確立。特に、同一工程での素子分離/ソース・ドレイン/コンタクト/配線等の形成技術の確立。以上に述べたように、種々の課題が残されているが、最近の統合化結晶成長技術の進展や Si 以外の半導体結晶を用いた MOSFET の形成技術の急速な進展を考えると、上に述べた課題技術の確立は近い将来には可能になると思われる。

もし、ここに述べる統合化 CMOS デバイスが製作可能になれば、集積密度の向上にどの様に寄与するかを以下に簡単に議論する。第 9 図(a), (b)に、第 3 表に示す Case A の (Si / Si) 型 CMOS デバイスと Case F の (GaAs / Ge) 型 CMOS デバイスの CMOS インバータのレイアウト図を示す。0.5 μm ルールを想定し、チャンネル長方向の縮小はなく、チャンネル幅方向の縮小効果のみを考えると、Case A では幅が 31 μm になるのに対して、Case F では幅が 3.1 μm と 10 分の 1 に縮小され、約 1 桁の集積密度の向上が期待できる。しかも、この集積密度の向上は、低消費電力特性を損なうことなく超高速動作特性を達成していることを考えると総合特性として大幅に改善されている。

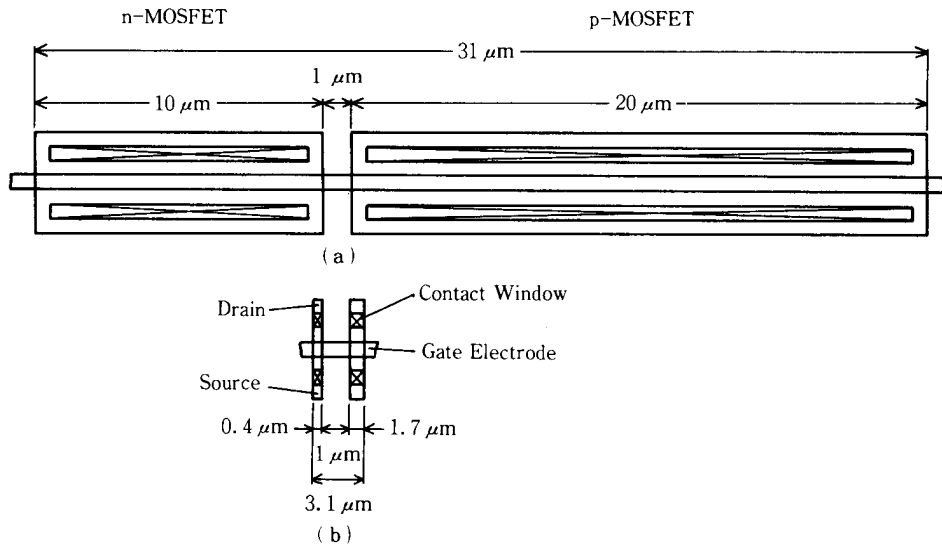


第 8 図 CMOS デバイスの断面構造図。(a)従来の n ウェル構造 Si 型 CMOS デバイス。(b)Ge 基板を用いた (GaAs / Ge) 型 CMOS デバイス。(c)絶縁体基板上に形成した (GaAs / Ge) 型 CMOS デバイス。

5. 結 論

複数種の半導体結晶を同一の基板上に形成する統合化結晶成長技術を応用して、超高速動作が可能な統合化 CMOS デバイスの可能性について回路シミュレーションを用いて検討した。半導体としては、元素 (Si, Ge) と III-V 族 (GaSb, GaAs, GaP, InSb, InAs, InP) の計 8 種類の半導体の組合せを考慮した。検討した CMOS デバイスは、n-と p-MOSFET を同一の基板上に形成した Case A (Si / Si), Case B (Ge / Ge), Case C (GaAs / GaAs), 及び、n-と p-MOSFET を異種の半導体基体中に形成した統合化 CMOS デバイスとして Case D (Si / Ge), Case E (GaAs / Si), Case F (GaAs / Ge) の合計 6 種類である。

動作温度 77 K で、閾値電圧は ±0.6 V を仮定し、電源電圧は 1 V から 5 V の範囲で CMOS インバータ・チェーンの回路シミュレーションを行い、遅延時間 (τ) と遅延時間・消費電力積 (τP) を比較検討した。τ 値については、(GaAs / Ge), (Ge / Ge),



第9図 最小設計ルールが $0.5\mu\text{m}$ の(a)従来の(Si/Si)型のCMOSデバイスと、(b)(GaAs/Ge)型CMOSデバイスのインバータ回路のレイアウト図。

引用文献

(GaAs/GaAs), (Si/Ge), (GaAs/Si), (Si/Si)の順に高速動作特性に優れている。電源電圧3.0Vで比較すると、従来の(Si/Si)型CMOSのデバイスの τ 値が15ps, τP 値が1.4pJに対して(Ge/Ge)型と(GaAs/Ge)型では τ 値が2.5ps, 1.0psで、それぞれ、約1/6, 1/15に短縮される。又、 τP 値は、0.23pJ, 0.10pJで、それぞれ、約1/6, 1/14に減少する。

(GaAs/Ge)型CMOSデバイスは格子定数や線膨張係数の差が小さく、良質の結晶成長を実現するために良い組合せであろう。但し、熱伝導率がSiに比べて約1/3であるので高集積度LSIでは熱放散対策が必要と思われる。又、(Ge/Ge)型CMOSデバイスは、同一の半導体基板を用いて、従来の(Si/Si)型に比べて約1/6の超高速動作特性が期待できることが分かった。更に、(GaAs/Ge)型CMOSデバイスでは、(Si/Si)型と同じGain Factor(Kp)を約1/10のチャンネル幅で得ることができ、集積密度を約1桁向上できることが期待される。

6. 謝 辞

本報告をまとめるに当たり、貴重な資料を提供していただきました松下電器産業(株)半導体研究センターの小倉氏と高橋氏に深く感謝申し上げます。

- 1) F.W.Wanless and C.T.Sah, "Nanowatt Logic Using Field - Effect Metal - Oxide Semiconductor Triodes", ISSCC Dig. of Tech. Papers, pp. 32-33, Feb. 1963.
- 2) T.Hatta, T.Bandoh, A.Hatta, T.Nakano, S.Iwamoto and S.Adachi, "A 70MHz 32b Microprocessor with 1.0 μm BiCMOS Macrocell Library", ISSCC Dig. of Tech. Papers, PP. 124-125, Feb. 1989.
- 3) M.Matsui, H.Momose, Y.Urakawa, T.Maeda, A. Suzuki, N.Urakawa, K.Sato, K.Makita, J.Matunaga and K. Ochii, "An 8ns 1Mb ECL BiCMOS SRAM", ISSCC Dig. of Tech. Papers, pp. 38-39, Feb. 1989.
- 4) For example, A.G.Grove, "Physics and Technology of Semiconductor Devices", p. 323, John Wiley & Sons, Inc., New York, 1967.
- 5) R.H.Dennard, F.H.Gaensslen, H.N.Yu, V.L.Rideout, E.Bassous and A.R.LeBlanc, "Design of ion - implanted MOSFET's with very small physical dimensions", IEEE J.Solid-State Circuits, v10, SC -9, pp. 256-268, Oct. 1974.
- 6) F.H.Gaensslen and R.C.Jaeger, Guest Editor, "Special Issue on Low Temperature Semiconductor Devices", IEEE Trans. on Electron Devices, vol.ED -34, Jan. 1987.
- 7) H. K. Choi, G. W. Turner and B. Tsaur, "Monolithic Integration of Si MOSFET's and GaAs MESFET's," IEEE Electron Device Lett. vol.EDL -7, no. 4, pp. 24

1-242, Apr. 1986.

8) H.Shichijo, R.T.Matyi and A.H.Taddiken, "Monolithic Process for Co-Integration of GaAs and Silicon Circuits", IEDM Tech. Dig., pp. 778-781, 1988.

9) J.J.Rosenberg and S.C.Martin, "Self - Aligned Germanium MOSFET's Using a Nitrided Native Oxide Gate Insulator", IEEE Electron Device Lett., vol. 9, no. 12, pp. 639-640, Dec. 1988.

10) E.Murakami, H.Etoh, K.Nakagawa and M.Miyao, "High Hole Mobility in Modulation-Doped p-Si_{0.5}/

Ge / Si_{1-x}Ge_x Heterostructures Fabricated Using Molecular Beam Epitaxy", Ext. Abstract of the 21th Conf. on Solid State Devices and Materials, Tokyo, 1989, pp. 373-376.

11) F.H.Gaensslen, V.L.Rideout, E.J.Walker and J.J.Walker, "Very Small MOSFETs for Low - Temperature Operation", IEEE Trans. on Electron Devices, vol. ED - 24, PP. 218-229, 1977.

12) S.M.Sze, "Physics of Semiconductor Devices (2nd Edition)", pp. 440-442, John Wiley & Sons Inc., 1981.

Proposal of High-Performance Synthesized-CMOS Devices with High-Electron & Hole Mobilities

Takashi OHZONE and Hideyuki IWATA

By using Synthesized Crystal Growth Technology which can simultaneously grow several kinds of semiconductor crystals on a single substrate, it is proposed that high-performance Synthesized-CMOS Devices with high electron & hole mobilities can realize both of ultra high speed operation and ultra low power dissipation. Assuming the supply voltage of 3.0V and operation temperature at 77K, it is estimated that CMOS devices fabricated by the combination of (p-GaAs/n-Ge) crystals may show the most high performance characteristics among many combinations of element and III - V compound semiconductors. From the circuit simulations of CMOS inverter chain, delay time (τ) and product of delay time and power dissipation (τP) may be improved by a factor of 15 and 14, respectively, in comparison with the conventional Si-type CMOS devices. Moreover, it is expected that the integration density of the Synthesized - CMOS Devices may become higher by about 10 times.