

学位論文

**マイクロプロセッサの非定常動作を考慮した  
小型電子機器の熱設計に関する研究**

2015 年 3 月

西 剛伺



# 目次

目次	.....	i
第1章	序論	1
1.1	本研究の目的と小型電子機器の熱設計 及びマイクロプロセッサの性能向上の歴史	1
1.2	小型電子機器の薄型化及び低コスト化の要請と熱設計における現状の課題	2
1.3	小型電子機器の熱設計に関する課題へのアプローチと本論文の構成	2
	参考文献	6
第2章	マイクロプロセッサの発熱のモデル化	7
2.1	対象とするマイクロプロセッサと本章の構成	7
2.2	マイクロプロセッサの発熱量のモデル化	9
2.3	マイクロプロセッサの時間スケールに関する検証	12
2.4	消費電力推定式を用いたマイクロプロセッサの非定常温度予測	15
2.5	まとめ	18
	参考文献	19
第3章	熱回路網による非定常温度予測	21
3.1	小型電子機器筐体内の伝熱経路と本章の構成	21
3.2	熱回路網による小型電子機器筐体内の伝熱経路の表現	24
3.3	定常状態における熱抵抗値の変動に関する検証	31
3.4	熱回路網による定常温度予測	38
3.5	非定常状態における熱抵抗の挙動のモデル化	45
3.6	熱回路網による非定常温度予測	55
3.7	まとめ	61
	参考文献	63
第4章	小型電子機器のシステムレベルの非定常熱設計	67
4.1	システムレベルの非定常熱設計の必要性和本章の構成	67
4.2	消費電力制限を伴う非定常温度制御	68
4.3	スレート型タブレット筐体の定常解析	75
4.4	熱回路網によるスレート型タブレット筐体内の伝熱経路に関する考察	85
4.5	スレート型タブレット筐体の非定常解析	94
4.6	まとめ	95
	参考文献	97

---

第5章	結論	99
5.1	マイクロプロセッサの発熱のモデル化について	100
5.2	熱回路網による非定常温度予測について	101
5.3	小型電子機器のシステムレベルの非定常熱設計について	103
5.4	まとめ及び今後の展望	103
	参考文献	106
付録		107
A.1	非定常状態におけるファン付きヒートシンクのモデル化	107
A.2	マイクロプロセッサパッケージのモデル化	111
A.3	2抵抗モデルによる定常解析とその誤差に関する考察	120
	参考文献	129
研究業績		131
謝辞		135

---

# 第 1 章

## 序論

### 1.1 本研究の目的と小型電子機器の熱設計及びマイクロプロセッサの性能向上の歴史

本研究は、小型電子機器を対象として、マイクロプロセッサの非定常動作を考慮した、実用的な精度でのマイクロプロセッサのシリコンダイホットスポット温度やユーザが直接手に触れる筐体表面温度の非定常予測手法を確立し、熱設計における知見を獲得することを目的とする。なお、本研究では、ノートブック型 PC (Personal Computer) やタブレットデバイス及びそれらと同等の性能を有するマイクロプロセッサを採用する電子機器を小型電子機器として扱う。

小型電子機器の熱設計としては、ノートブック型 PC の歴史が長く、1990 年代後半に各企業においてノートブック型 PC の熱設計に関する研究開発が活発に行われ [1-1~1-4]、その方法論が確立された。その頃から製品開発の一環として、3 次元熱流体シミュレーションや熱回路網 [1-5, 1-6] といった数値解法による定常解析が実施されるようになった。その後、マイクロプロセッサの性能向上とともに消費電力が増大していくが、2000 年代前半にはヒートパイプ [1-7, 1-8]、水冷モジュール [1-9] といった放熱機構の研究開発が進み、また、2000 年代後半には熱設計用の消費電力指標である TDP (Thermal Design Power) をほぼ固定したマイクロプロセッサの製品ラインナップが半導体メーカーによって組まれるようになり、PC メーカーでは同一の熱設計を複数世代のマイクロプロセッサに渡って使用できるようになっていった。

2000 年代後半以降、半導体製造プロセスは微細化が進み、その微細化スピードが鈍化するとともに、リーク電流が顕著に増えるようになり、その低減及び対策が半導体設計において重大な課題となった [1-10, 1-11]。リーク電流とは、本来、半導体回路が動作するのに必要なパス以外に漏れてしまう電流のことで、回路動作に関係なく消費されてしまう電力損失である。リーク電流の増大は消費電力の増大を意味し、半導体製造プロセスのみに頼った製品開発では、消費電力を抑えつつ高性能化を達成することが難しくなった。消費電力の増大は熱設計においても大きな問題であるが、消費電力を抑えつつ性能を向上させる方法論として、この頃からマイクロプロセッサのマルチコア化が進み、2010 年代に入ると、更なる電力効率の改善のため、CPU (Central Processing Unit) と GPU (Graphics Processing Unit) を混載する APU (Accelerated Processing Unit) が登場するようになった [1-12]。また、マイクロプロセッサの消費電力制御技術も同様に進展し、近年では、シリコンダイ温度や実行中のプログラムの負荷（以下、アプリケーション負荷）、消費電力の状態によってマイクロプロセッサ自体が動的に電力制御を行うようになり [1-13, 1-14]、同一の熱設計要件で、より高い性能を実現できるようになった。

以上の通り、2010 年代前半以降においてもマルチコア化、APU 化により、マイクロプロセッサの性能向上は続いている。しかし、リーク電流は依然深刻な問題であり、その電圧依存性、温度依存性により、さらに問題を複雑化している。適切な消費電力値を用いて熱流体シミュレーション等を実施するには、リーク電流を含むマイクロプロセッサを構成する回路のモデル化が必要となる。また、マイクロプロセッサはシリコンダイの回路面において発熱するが、マルチコア化、APU の登場により、その発熱は回路面において均一であるとは言えず、CPU や GPU などの回路の種類、それらの使用状態によって、発熱分布が大きく異なる。発熱分布の偏りによって小型電子機器の筐体各所の温度に影響が生じるが、その考

察は十分になされているとは言い難い。また、高度な消費電力制御を伴うマイクロプロセッサの非定常動作では、消費電力が時々刻々と大きく変動するケースがあり、非定常状態を考慮していない既存の熱設計では、実機による動作検証以外には、ユーザが製品を使用するシナリオに沿った検証を実施することができない。そのため、適切に温度予測を実施するには、これらデバイスレベルの課題に対応した手法を確立し、知見を得る必要がある。

## 1.2 小型電子機器の薄型化及び低コスト化の要請と熱設計における現状の課題

近年、ノートブック型 PC やタブレットデバイスは薄型化し、マイクロプロセッサを含む電子部品の温度管理だけでなく、エンドユーザが直接触れる筐体表面の温度管理の重要性が増してきている。また、リーマンショック以降、コスト低減は製品開発の中でますます重要視されるようになり、部材コストだけでなく、開発そのものの効率化によるコスト削減も重要視されるようになってきている。コストを抑えつつ、適切に温度管理を行うには、製品設計時に綿密な見積もりを行う必要がある。これらのトピックは小型電子機器製品を開発する上で、製品コンセプトやその実現性に関わる非常に重要なポイントであり、本研究では、これらをシステムレベルの課題と位置づけ、取り扱うこととする。

PC の高性能化、電子機器向け熱流体シミュレーションソフトウェア [1-15～1-18] の高度化により、実製品の定常シミュレーションを現実的な計算時間で実施することが可能になった。シミュレーション技術の導入は、実機の試作回数を削減できるため、開発期間、コストの両面で大きな利点がある。そのため、ノートブック型 PC やタブレットデバイスの製品開発では、シミュレーションを活用した製品開発が一般化している。一方、産業分野や家庭で使用される機器では、近年、電子化が進み、さまざまな機器に LCD (Liquid Cristal Display) タッチパネルが内蔵され、インタラクティブな操作と高度化されたアルゴリズムを用いて制御を行うために高性能なマイクロプロセッサが搭載されるようになってきている。このような状況下、熱設計や解析技術の専任者が置かれていない企業においても、熱設計のニーズが高まっており、幅広い技術者に利用され得る熱流体シミュレーションソフトウェア以外の熱設計手法及びその検証手法の確立が急務となっている。本研究では、これを解析における課題と位置づけ、取り扱うこととする。

## 1.3 小型電子機器の熱設計に関する課題へのアプローチと本論文の構成

以上のように、小型電子機器の熱設計手法については、1990 年代後半にその方法論が確立され、さらに、シミュレーションを実行する環境としては、PC の性能向上や熱流体シミュレーションソフトウェアの高度化により、シミュレーションでできることは大幅に増えた。その一方で、上述のデバイスレベル、システムレベル、解析における課題を解決するには、新たなモデルの構築や以前にも増して高精度な熱解析、伝熱経路の状態を的確に把握する手法等が必要となる。また、限られたスペースに高性能なマイクロプロセッサを搭載するには、定常状態のみを考慮した既存の熱設計ではデザイン、コスト双方の観点から競争力の高い製品を作り出すことは不可能であり、マイクロプロセッサの動的な消費電力管理機能や機器筐体の非定常状態における温度遷移を考慮した非定常熱設計を組み合わせた新たな熱設計手法へのパラダイムシフトが必要となってきている。新たな熱設計手法では、図 1.1 に示すように、定常状態

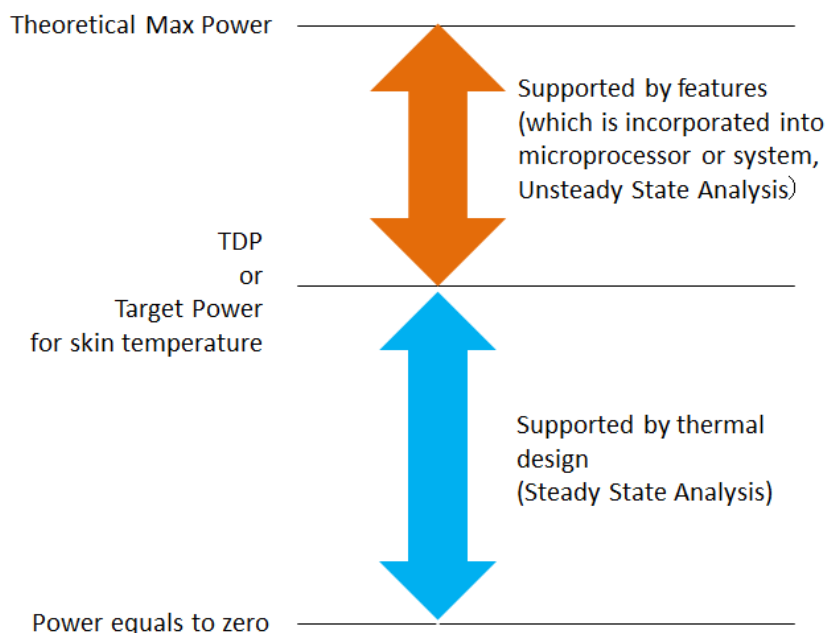


Figure 1.1 Efficient Thermal Design by Utilizing Both Thermal Features and Thermal Design.

における熱設計のみで最も厳しい温度，消費電力要件を満たすように設計するのではなく，特定の条件（図中水色の矢印の範囲）までは定常状態における熱設計で対応し，それより厳しい条件（図中橙色の矢印の範囲）においては，マイクロプロセッサの消費電力を制限する機能等を用いて熱源の発熱を抑えることで，製品を動作保証温度内で動作させる。

マイクロプロセッサの動的な消費電力管理機能を用いた熱設計では，マイクロプロセッサの非定常動作に関する検証が不可欠であり，そのためには，上述の発熱分布や温度依存性を有する消費電力の取り扱い，マイクロプロセッサそのものの動的な消費電力制御に関する温度予測手法の確立及び知見の獲得が重要である。3次元熱流体シミュレーションによる非定常解析は，実機を用意することなく熱設計案を検証できる強力なツールではあるものの，シミュレーション用に大規模な計算資源を持ち合わせない限り，非常に長い計算時間を必要とするため，熱設計のターンアラウンドの観点から実用的とは言い難い。さらに，前節で述べた通り，さまざまな機器が電子化される中，熱流体シミュレーションツールを所有しない技術者でも利用できる熱設計手法及びその検証手法の確立が必要となっている。そこで，本研究では，マイクロプロセッサの消費電力については，リーク電流の電圧依存性，温度依存性を加味した消費電力を算出できる消費電力推定式を導出し，解析に適用する。また，解析手法については，デスクトップ型 PC やノートブック型 PC といった製品の開発現場における通常の PC 環境でも実時間に極めて近い計算時間で非定常温度予測を行える手法として，熱回路網 [1-5, 1-6]を用いる。

本論文は 5 つの章で構成され，第 1 章では本研究の目的，背景及び構成を，第 2 章から第 4 章では上記の課題について詳細に論じ，第 5 章では，すべての章を総括し，結論を述べる。第 2 章から第 4 章は以下のように構成する。

第 2 章では，発熱源であるマイクロプロセッサのモデル化について検証，考察する。非定常解析に適用が可能なリーク電流を加味したマイクロプロセッサの消費電力推定式を導入し，非定常熱伝導シミュ

レーションにより、その有効性について検証する。本消費電力推定式は、従来の手法とは異なり、定常状態における消費電力の実測結果から消費電力算出に必要な係数を求めるため、半導体物性やパラメータが非公開である場合にも用いることができるという利点がある。

第 3 章では、熱回路網を導入し、小型電子機器筐体内の温度予測を実施する。まず定常状態におけるエネルギーバランス式から従来とは定義の異なる熱回路網を構築し、その構成要素である熱抵抗値の変動について考察した上で、構築した熱回路網による定常温度予測手法を提案し、その予測精度について検証する。続いて、熱抵抗の非定常挙動について考察することで、そのモデル化を行い、非定常状態におけるエネルギーバランス式から熱回路網を非定常状態向けに拡張し、非定常温度予測を実施する。本熱回路網では、温度予測精度を保ちつつ、1 次元的にのみ熱抵抗を接続することで回路網を構築できるため、3 次元熱伝導シミュレーションや従来の熱回路網を 3 次元的に構成した場合に比べて、計算負荷が極めて低いという利点を有する。そのため、短時間で非定常解析を実施することが可能となる。第 3 章ではマイクロプロセッサのパッケージレベルの伝熱からスタートし、小型電子機器筐体内の伝熱まで扱う。

第 4 章では、システムレベルの非定常熱制御について検証、考察を行う。ここで、システムレベルの熱設計とは、第 3 章にて検証、考察した小型電子機器筐体内の伝熱経路における個々の部材や熱抵抗ではなく、その集合体としての伝熱経路やマイクロプロセッサの非定常動作を含む動的な状態に関する考察、表面温度管理のような製品開発を進める上でシステムとして満たすべき要件に関する検証、考察である。まず最初に、マイクロプロセッサによる熱制御の効果について検証するため、マイクロプロセッサの消費電力制限時のシステム温度への影響について検証、考察する。続いて、スレート（板状）型タブレット筐体を題材として、その伝熱経路に関する考察を行い、非定常シミュレーションを実施する。つまり、小型電子機器筐体全体を解析領域とする定常状態における伝熱経路の検証からマイクロプロセッサの非定常動作を考慮した非定常熱制御まで扱う。

本研究では、定常解析及び非定常解析を実施するにあたり、マイクロプロセッサの消費電力推定式、3 次元熱伝導シミュレーション、熱回路網を利用する。温度予測精度については、製品開発に用いる際の実用性という観点から、実測との比較で 3℃以内に入ることを目標として、その有効性を判断する。また、BGA (Ball Grid Array) パッケージを採用するマイクロプロセッサを主な対象とするが、研究の一部は PGA (Pin Grid Array) パッケージを採用するマイクロプロセッサを用いて検証を進める。また、通常、マイクロプロセッサパッケージの詳細は非公開とされることが多く、熱伝導率や詳細形状を示すことができないため、詳細な議論を進める際に不都合が生じる場合がある。そこで、本研究では、実測との比較や実環境に関する議論が必要なものについては、実製品の BGA プロセッサもしくは PGA プロセッサが実装されたリファレンスシステムを主な対象とし、数値的な取り扱いについて詳細な議論が必要となるものについては、再現性を考慮して、実製品とは直接の関連を持たない BGA パッケージを採用したマイクロプロセッサのモデル Generic Microprocessor Package Model を本論文で定義し、それを用いて議論を進める。また、第 4 章では、リファレンスシステムの他、実システム例として、スレート（板状）型タブレットデバイスを題材に議論を進める。表 1.1 に各章で取り扱う手法、対象とするシステムについて示す。



Table 1.1 Relationship among Sections, Tools and Target Systems.

	Reference System (with PGA Processor)	Reference System (with Generic Microprocessor Package Model)	Reference System (with BGA Processor)	Slate Style Tablet Device
Power Estimation Equation	2.4	-	4.2	-
3-Dimensional Heat Conduction Simulation	2.4, A.1	3.3, A.2, A.3	2.3, 3.5, 4.2	4.3, 4.5
Thermal Network Mehodology	-	3.2, 3.4, A.3	3.5, 3.6	4.4

## 参考文献

- [1-1] 久野勝美, 岩崎秀夫, 石塚勝, 榎田貞夫, “小型きょう体の熱解析 (第 1 報, 自然空冷ノート PC の熱解析)”, 日本機械学会論文集 B 編, Vol. 62, No. 601 (1996), pp. 3453-3458.
- [1-2] 大橋繁男, 本間満, “ノートブックサイズ電子機器の自然空冷冷却性能評価法の検討”, 日本機械学会論文集 B 編, Vol. 63, No. 616 (1997), pp. 4043-4049.
- [1-3] 久野勝美, 岩崎秀夫, 石塚勝, 榎田貞夫, “小型きょう体の熱解析 (第 2 報, ファン付きポータブル PC の熱解析)”, 日本機械学会論文集 B 編, Vol. 64, No. 628 (1998), pp. 4179-4184.
- [1-4] 小林孝, 大串哲朗, 角憲明, 藤井雅雄, “薄型携帯パソコンの熱設計”, 日本機械学会論文集 B 編, Vol. 64, No. 628 (1998), pp. 4185-4192.
- [1-5] 石塚勝, 福岡義孝, “マルチチップパッケージ基板の過渡温度上昇”, 日本機械学会論文集 B 編, Vol. 52, No. 476 (1986), pp. 1772-1776.
- [1-6] 石塚勝, 福岡義孝, “相変化材を用いた高発熱パッケージ冷却技術の開発 (熱回路網法の相変化現象解析への応用)”, 日本機械学会論文集 B 編, Vol. 60, No. 574 (1994), pp. 2165-2170.
- [1-7] 望月正孝, 齋藤祐士, 清岡史利, T. Nguyen, “コンピュータ高性能プロセッサ冷却の現状と今後”, フジクラ技報, 第 112 号, pp. 33-43, 2007 年 4 月.
- [1-8] 大海勝, 福本智郎, 小林隆雄, 杉村政信, 中山克夫, 難波研一, “ノートブック PC 用マイクロヒートパイプヒートシンクの最新技術”, 古河電工時報, 第 108 号, pp. 11-16, 2001 年 6 月.
- [1-9] 近藤義広, “世界初静音液冷ノート PC の開発”, C141, 熱工学コンファレンス講演論文集 (2003), pp. 101-104.
- [1-10] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2009 Edition, ITRS (2009).
- [1-11] Semiconductor Industry Association, “SYSTEM DRIVERS ABSTRACT”, International Technology Roadmap for Semiconductors, 2013 Edition, ITRS (2013).
- [1-12] Denis Foley, Maurice Steinman, Alex Branover, Greg Smaus, Antonio Asaro, Swamy Punyamurtula, Ljubisa Bajic, “AMD’S “LLANO” FUSION APU”, Hot Chips 23, August 2011.
- [1-13] “2.5 Power Management”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 14h Models 00h-0Fh Processors, Publication # 43170, Rev 3.13, pp. 49-76, February 2012.
- [1-14] “2.5 Power Management”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 16h Models 00h-0Fh Processors, Publication # 48751, Rev 3.01, pp. 52-77, October 2013.
- [1-15] FloTHERM, <http://www.mentor.com/products/mechanical/flotherm/flotherm/> (2015 年 1 月現在)
- [1-16] ANSYS Icepak,  
<http://www.ansys.com/Products/Simulation+Technology/Fluid+Dynamics/Specialized+Products/ANSYS+Icepak>  
(2015 年 1 月現在)
- [1-17] 熱設計 Pack, <http://www.cradle.co.jp/products/pac.html> (2015 年 1 月現在)
- [1-18] Flow Designer, <http://www.akl.co.jp/products/flowdesigner/> (2015 年 1 月現在)

## 第2章

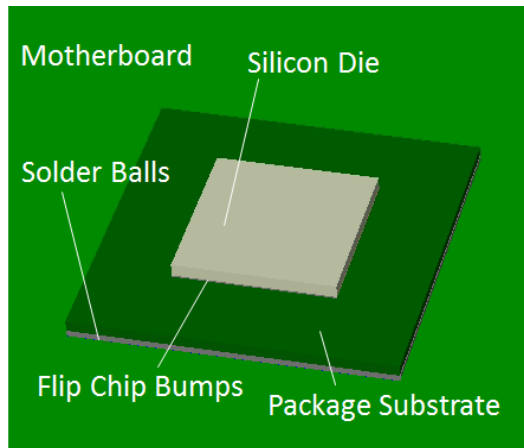
### マイクロプロセッサの発熱のモデル化

電子機器の熱設計を行うにあたって、発熱源であるマイクロプロセッサのモデル化は非常に重要なトピックである。近年のマイクロプロセッサでは、リーク電流の影響が無視できなくなっており、その温度及び電圧依存性を加味したモデル化が必要となっている。マイクロプロセッサを構成する CMOS (Complementary Metal-Oxide-Semiconductor) 集積回路については、電流特性のモデル化に関する研究が活発になされており、理論的側面からモデル式が提案されている。しかし、モデル式には半導体特性に関連するパラメータが多く含まれており、また、その一部は公開されていない。そのため、使用するマイクロプロセッサ製品の消費電力特性をそれらの式から求めることは難しく、また、計算負荷の観点からもそのまま熱設計時の消費電力値算出に用いることは非現実的である。そこで、本章では、リファレンスシステム上での消費電力の実測からパラメータを求めることのできる、マイクロプロセッサの発熱量のモデル化について論じ、熱伝導シミュレーションモデルへの適用を通じて、その有効性について検証する。

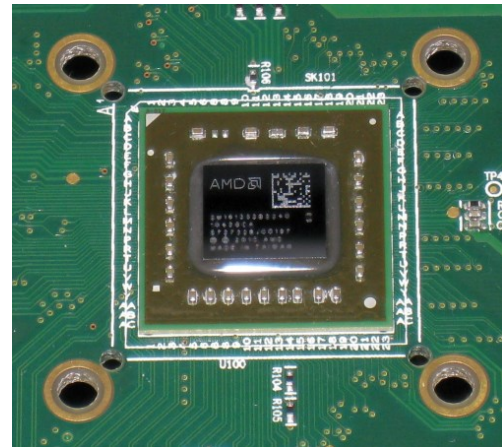
#### 2.1 対象とするマイクロプロセッサと本章の構成

本研究で対象とするマイクロプロセッサを図 2.1 に示す。このマイクロプロセッサに採用されているパッケージはノートブック型 PC (Personal Computer) やタブレットデバイス向けのマイクロプロセッサ [2-1, 2-2] に広く採用されているもので、パッケージ上面中央に配置されたシリコンダイはモールドされておらず、上面にサーマルグリス等の TIM (Thermal Interface Material) を塗布して、放熱機構を装着する。また、BGA (Ball Grid Array) タイプのパッケージを採用しており、パッケージ底面には半田ボールが多数配置され、マザーボード上に実装される。マイクロプロセッサは、シリコンダイ底面近傍の回路面で発熱し、その熱はシリコンダイから放熱機構を介する経路（以下、上方の伝熱経路）とサブストレートを介してマザーボードに至る経路（以下、下方の伝熱経路）に分かれて流れる（図 2.2）。なお、本研究の一部では、パッケージ底面に半田ボールではなく、ソケットに挿入して使用するためにピンを多数配置した PGA (Pin Grid Array) パッケージを採用したマイクロプロセッサ [2-3] も用いて検証を行う（図 2.3）。

実用的な精度で温度予測を行うには、マイクロプロセッサにおける発熱及び伝熱経路の適切なモデル化が必要となる。マイクロプロセッサの発熱現象については、熱・電気連成解析 [2-4, 2-5] やリーク電流等の厳密なモデル式を取り込んだツールの開発 [2-6, 2-7] が報告されているが、これらはデバイス内の局所的な発熱に関する解析を目的としており、定性的な議論もしくはマイクロ秒以下の非定常挙動をターゲットとすることが多い。一方、電子機器の熱設計では、電子機器全体の伝熱経路を解析、検証するため、ミリ秒から秒単位の時間ステップでの温度変化を対象としており、時間スケールが大きく異なる。また、従来の電子機器の冷却に関する研究では、一般的にマイクロプロセッサの消費電力を固定値として取り扱っているが、それらはリーク電流による消費電力の温度依存性 [2-8] を加味していないため、特に非定



(a) Microprocessor Package Structure.



(b) An Example of BGA Microprocessor Package.

Figure 2.1 BGA (Ball Grid Array) Microprocessor Package.

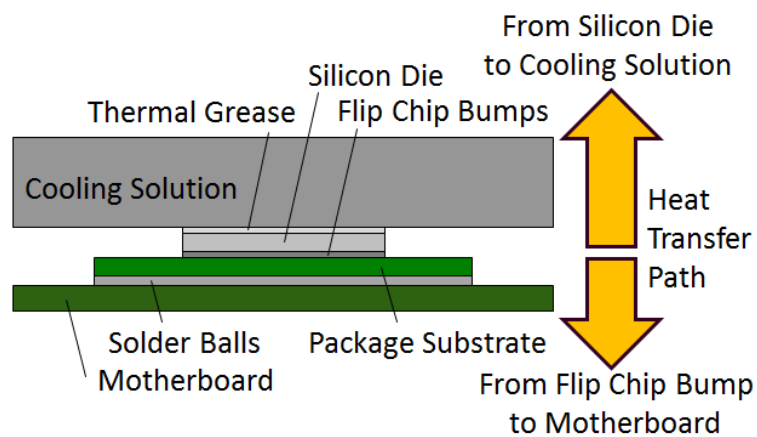
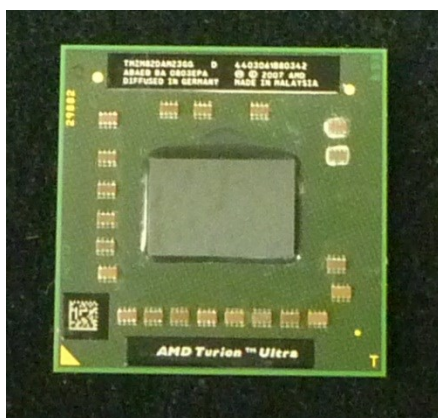
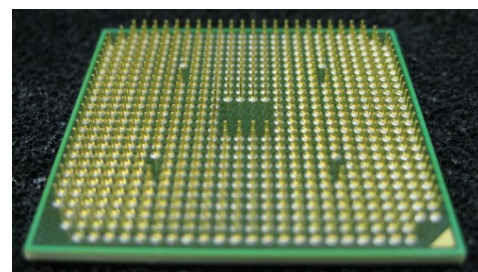


Figure 2.2 Side View of The Microprocessor System.



(a) Top View with Silicon Die.



(b) Bottom Side View with Pins.

Figure 2.3 An Example of PGA (Pin Grid Array) Microprocessor Package.

常温度予測において予測温度を過小もしくは過大評価してしまう可能性がある。そこで、本章では、近年の半導体物性の研究で得られたリーク電流の電圧依存性、温度依存性のモデル式から、後述する小型電子機器全体もしくは小型電子機器筐体内の主要な伝熱経路に関する3次元熱伝導シミュレーションや第3章で導入する熱回路網に適用しやすい消費電力推定式を導出し、それを適用した3次元非定常熱伝導シミュレーション結果と実測結果との比較を通じて、その有効性を検証する。

## 2.2 マイクロプロセッサの発熱量のモデル化

マイクロプロセッサを発熱源とする電子機器について実用的な精度で温度予測を行うには、発熱量を適切に見積もる必要がある。マイクロプロセッサは物理的な仕事を行うわけではないため、マザーボード上で駆動する信号に必要なわずかなエネルギーを除いて、その電力消費のすべてが熱として放出されることになる。そのため、マイクロプロセッサの発熱量は、消費電力を求めることで得られる。マイクロプロセッサをはじめとするCMOS集積回路の消費電力には、電圧依存性及びリーク電流に起因する温度依存性があり、近年の半導体プロセスの微細化により、リーク電流は無視できない消費電力の要因となってきた [2-8]。そのため、アプリケーション負荷が一定である場合でも消費電力は一定とは限らず、伝熱に関するシミュレーションを行う際には、その影響を加味して消費電力を設定する必要がある。

### 2.2.1 CMOS集積回路の消費電力

マイクロプロセッサを含むCMOS集積回路の消費電力は、以下のようにダイナミック消費電力とスタティック消費電力から構成される [2-9]。

$$Power = aC_{load}V_{DD}^2f_{op} + I_{leak}V_{DD} \quad (2.1)$$

右辺第1項のダイナミック消費電力は、回路動作時の負荷容量  $C_{load}$  へのチャージ、ディスチャージの繰り返しによるものである。動作率  $a$  は、回路全体のうち、どの程度が動作状態にあるか示すもので、0～1の値をとる。式(2.1)より、ダイナミック消費電力は電源電圧  $V_{DD}$  の2乗、動作周波数  $f_{op}$  の1乗に比

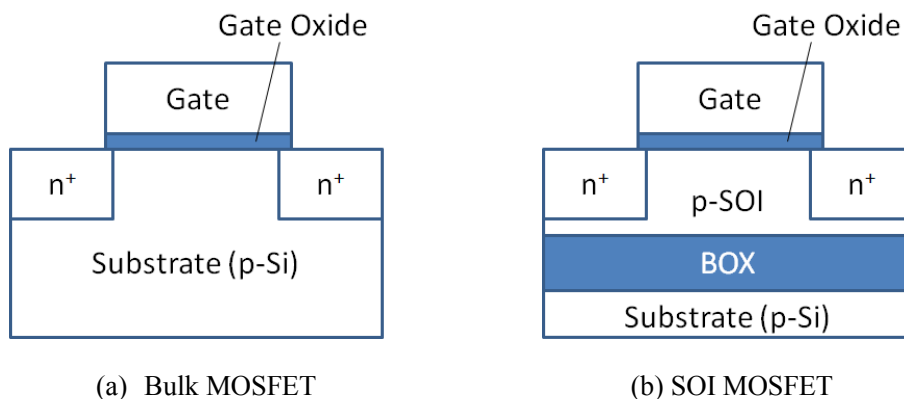


Figure 2.4 Cross-Sectional View of n-Type MOSFET.

例する．右辺第 2 項のスタティック消費電力は，リーク電流  $I_{leak}$  によるものである．ダイナミック消費電力は動作する回路部分でのみ消費されるのに対し，スタティック消費電力は回路の動作に関わらず，電源が投入されていれば消費される．プロセスの微細化は集積度向上に寄与してきた反面，相対的にリーク電流の存在を顕在化させることとなり，消費電力の算出ではリーク電流の存在を無視することができなくなりつつある [2-8]．リーク電流の低減には，プロセス技術及び回路設計技術の観点から，さまざまな手法が検討・導入されているが，全面的な解決には至っていないのが現状である．そのため，消費電力を求める際にはリーク電流の影響を適切にモデル化する必要がある．

ダイナミック消費電力は，式 (2.1) に示す通り，動作率，負荷容量，電源電圧，動作周波数によって決まる．そのうち，電源電圧及び動作周波数は既知の値であり，動作率はアプリケーション負荷が一定であれば定数とみなせるため，負荷容量が定まれば，ダイナミック消費電力を求めることができる．CMOS 集積回路の負荷容量は，大きく分けてトランジスタの容量，配線の容量から構成される [2-10]．トランジスタの容量は主にゲート容量  $C_g$  によるものである．CMOS 集積回路のゲート容量は，CMOS 集積回路を構成する個々のトランジスタを構成する p 型及び n 型の MOSFET のゲート容量の総和であり，ゲート絶縁膜容量  $C_{ox}$  と反転層容量  $C_{inv}$  の合成容量で決まる [2-11]．

$$\frac{1}{C_g} = \frac{1}{C_{ox}} + \frac{1}{C_{inv}} \quad (2.2)$$

半導体プロセスの微細化のみによる性能向上が難しくなった昨今では，従来の MOSFET（以下，バルク MOSFET）から構造を変化させることで性能向上を図ったり，リーク電流を抑えるためのさまざまな研究が試みられ，その中で，SOI（Silicon on Insulator）という構造が研究・開発されるようになった．図 2.4 (a) にバルク MOSFET，図 2.4 (b) に SOI MOSFET 構造の断面模式図を示す．SOI MOSFET のバルク MOSFET との違いは，基板に BOX（Buried Oxide）と呼ばれる絶縁膜層を有することである．

SOI MOSFET は，最大空乏層幅より SOI 膜厚が薄いか厚いかによって特性が異なり，それぞれ FDSOI（Fully Depleted SOI），PDSOI（Partially Depleted SOI）と呼ばれ，区別されている（そのため，図 2.4 (b) は厳密には PDSOI である）．また，ゲートを 2 つ有するダブルゲートと呼ばれるものも存在する．S. Takagi ら [2-12] 及び K. Uchida ら [2-13～2-15] は解析計算，数値シミュレーション及び実験から FDSOI 及びダブルゲート FDSOI のゲート容量を調査し，バルク MOSFET に対して SOI MOSFET ではゲート容量がやや大きくなることを示している．また，J.-S. Goo ら [2-16] は PDSOI について実測に合ったシミュレーション結果を得るためのガイドラインについて論じている．FDSOI や PDSOI はそれぞれの特性には異なる部分があるものの，ゲート容量が駆動電圧に応じて変化するという基本的性質はバルク MOSFET と同様であり，ゲート容量はバルク，SOI の違いによらず，駆動電圧の関数として表現することができる．

スタティック消費電力は，リーク電流によって消費される電力である．リーク電流にはいくつかの種類があるが，近年の微細プロセスにおいては，サブスレッショルド電流（Subthreshold Current），ゲートリーク電流（Tunneling Gate Current），接合リーク電流（Junction Tunnel Current）が主なリーク電流源として挙げられる [2-17]．その中でも，サブスレッショルド電流  $I_{sub}$  はドレインからソースに流れるチャンネルリーク成分であり [2-18]，以下のモデル式 [2-19]

$$I_{sub} = \mu_0 C_{ox} \frac{W}{L_{eff}} (kT/q)^2 e^{1.8} \times e^{\frac{q}{n'kT}(V_{GS}-V_{t0}-\gamma V_{SB}+\eta V_{DS})} \times \left(1 - e^{-\frac{q}{kT}V_{DS}}\right) \quad (2.3)$$

からも分かるように温度及び電圧依存性を有する．ここで、 $\mu_0$  はゼロバイアス移動度、 $W$  はトランジスタ幅、 $L_{eff}$  はトランジスタの有効長、 $k$  はボルツマン定数、 $q$  は素電荷、 $n'$  はサブスレッショルド係数、 $V_{GS}$ 、 $V_{t0}$ 、 $V_{SB}$ 、 $V_{DS}$  はそれぞれゲート－ソース間、ゼロバイアス閾値、ソース－シリコン基板間、ドレイン－ソース間の電圧、 $\gamma$  は線形基板バイアス効果係数、 $\eta$  は DIBL (Drain Induced Barrier Lowering) 係数である．式 (2.3) から、温度に関しては  $T^2$  及び指数項によって、電圧に関しては指数項によって、それぞれ依存性を有することが分かる．ゲートリーク電流は、ゲートからソースに流れる電流であり [2-20]、シリコン酸化膜が薄くなることで波動関数のしみだしによるトンネル電流が無視できなくなったものである．そのため、ゲートリーク電流はシリコン酸化膜厚に対して大きく変動する．電圧依存性は大きい、温度依存性は小さい．接合リーク電流は、逆バイアスされた pn 接合を流れる電流であり、ドレインからシリコン基板に流れる [2-21]．接合リーク電流も電圧依存性を有するが、近年の微細プロセスにおいては他の 2 つのリーク電流源に比べて値は小さい．以上のように、リーク電流源はそれぞれ電圧依存性や温度依存性を有するものが存在し、それらを考慮したスタティック消費電力の定式化が必要となる．

### 2.2.2 マイクロプロセッサの消費電力推定式の導出

ダイナミック消費電力は、前項に示した通り、負荷容量に電圧依存性を有する．本研究では、使用する電源電圧の範囲は十分狭く、負荷容量が電源電圧の 1 次近似で表現できると仮定して定式化することとした [2-22～2-25]．つまり、動作率が一定の場合、

$$aC_{load} = d_1 V_{DD} + d_2 \quad (2.4)$$

とした．つまり、係数  $d_1$ 、 $d_2$  を決定することで、ダイナミック消費電力を求めることができる．

スタティック消費電力は、前項に示した通り、温度依存性及び電圧依存性を有する．厳密には、リーク電流源ごとに異なるモデル式が存在するが、本研究では、以下のように 1 つの項で温度依存性及び電圧依存性を表現することとした [2-22～2-25]．

$$I_{leak} = s_1 (T^2 + s_2 T + s_3) (V_{DD} + s_4) \quad (2.5)$$

式 (2.3) に示したサブスレッショルド電流の温度依存性とほとんど温度依存性を有しないその他のリーク電流の双方の和を表現するため、温度依存性についてはその 2 次近似で表現している．一方、電圧依存性については、実際にはさまざまな電圧パラメータに対する依存性であるが、煩雑さを回避するため、電源電圧の 1 次近似でその影響を加味している．式 (2.5) より、係数  $s_1 \sim s_4$  を決定することでスタティック消費電力を求めることができる．

式 (2.1) に式 (2.4) 及び式 (2.5) を代入すると、以下の消費電力推定式が導出できる [2-22～2-25]．

$$Power = (d_1 V_{DD} + d_2) V_{DD}^2 f_{op} + s_1 (T^2 + s_2 T + s_3) (V_{DD} + s_4) V_{DD} \quad (2.6)$$

### 2.2.3 消費電力推定式の係数の決定

マイクロプロセッサの消費電力特性は、通常、シリコンサンプルごとに異なる。そこで、本手法では、式 (2.6) の係数  $d_1$ ,  $d_2$ ,  $s_1 \sim s_4$  を決定するため、実システム上で対象とするマイクロプロセッササンプルに一定のアプリケーション負荷をかけ、定常状態に至った後、マイクロプロセッサの消費電力を実測する。消費電力は温度、電圧、動作周波数を変えて複数点で測定し、得られたデータから最小自乗法で式 (2.6) の係数  $d_1$ ,  $d_2$ ,  $s_1 \sim s_4$  を決定する。

リファレンスボード上で図 2.3 に示したマイクロプロセッサ 1 サンプルに一定のアプリケーション負荷をかけ、温度条件を変えて定常状態で実測を行う。具体的には、マイクロプロセッサに装着したファン付きヒートシンクのファン回転数を制御することで、マイクロプロセッサの温度を調節し、定常状態に至った後、マイクロプロセッサの各電源ラインの電圧と各電源ラインに直列に挿入されたセンス抵抗の両端にかかる電圧をデータロガーで収集し、得られた電源電圧値及びセンス抵抗にかかる電圧値から求めた電流値から消費電力を算出する。消費電力推定式に適用する温度には、マイクロプロセッサが外部回路に報告する温度 [2-26] を用いる。この温度は、マイクロプロセッサ内蔵の温度センサの読み値を元に行っている。

消費電力推定式の有効性については、温度が時々刻々と変わる非定常状態において確認した。つまり、各時刻における温度、電源電圧の実測値を消費電力推定式に代入して求めた推定値と温度、電源電圧、センス抵抗にかかる電圧の実測値から求めた消費電力値を比較することで、非定常シミュレーションを行う温度範囲において十分な精度を保っていることを確認した。

なお、本手法の有効性は 65nm SOI プロセスで製造されたノートブック型 PC 向けデュアルコアプロセッサ、40nm バルクプロセスで製造されたノートブック型 PC 向け APU (Accelerated Processing Unit) でも同様の手順で確認している [2-22, 2-27, 2-28]。

## 2.3 マイクロプロセッサの時間スケールに関する検証

### 2.3.1 マイクロプロセッサの実動作と熱解析における時間スケールのギャップ

現在のマイクロプロセッサの動作周波数は数 GHz に達しており、1 サイクルはサブナノ秒オーダーである。前節で示した消費電力推定式は各サイクルについて成り立つものであるが、システムレベルの熱解析で必要となるのはミリ秒から秒オーダーである。そのため、サブナノ秒ごとに消費電力推定式を用いて消費電力を求めるのはオーバースペックであり、計算コストの観点から好ましくない。また、消費電力推定式の有効性を確認するには、実測を行う必要があるが、ナノ秒単位でデータをキャプチャできるデータロガーは存在せず、高性能オシロスコープでデータを取り続けるのも非現実的である。一方、温度遷移は熱容量の影響により、消費電力の短時間における変化に対してあまり敏感ではなく、シリコンダイ内のホットスポットの近傍のみの細かな温度変化を確認する場合でなければ、より大きな時間間隔における平均消費電力値を用いても実用上は予測温度に大きな影響は出ないと考えられる。そこで、本節では、どの程度の時間周期で消費電力推定式を使用すれば熱解析で十分な精度の温度遷移が得られるか検証する。



## 2.3.2 シミュレーション条件

FT1 プロセッサ [2-1]を採用する図 2.5 に示すマイクロプロセッサシステムを対象として、以下の3次元熱伝導方程式を有限差分法を用いて離散化し、3次元非定常熱伝導シミュレーションを実施する。

$$c\rho \frac{\partial T}{\partial t} = \frac{\partial}{\partial x} \left( k_x \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left( k_y \frac{\partial T}{\partial y} \right) + \frac{\partial}{\partial z} \left( k_z \frac{\partial T}{\partial z} \right) \quad (2.7)$$

ここで、 $c$ は比熱、 $\rho$ は密度、 $T$ は温度、 $t$ は時間、 $k_x$ 、 $k_y$ 、 $k_z$ はそれぞれ $x$ 、 $y$ 、 $z$ 方向の熱伝導率である。

マイクロプロセッサ周辺のマザーボード、マイクロプロセッサパッケージ、サーマルグリース、ファン付きヒートシンクのベース部を対象領域としてモデル化する（図 2.6）。なお、シリコンダイのみ熱伝導率は温度の1次式として与えるが、その他の部材の熱伝導率は温度によらず一定とする。ファン付きヒートシンクの冷却性能については、A.1.1項に示す方法を用いてフィン部の熱伝導を表現し、境界条件として熱伝達率を与えることで、その冷却性能を表現する。マザーボード底面からの放熱についても境界条件として熱伝達率を与えることで表現する。マイクロプロセッサからの発熱はシリコンダイ底面における面発熱とし、本節では、簡単のため、シリコンダイ底面全体で均一発熱とする。発熱量は、図 2.7 に示す周期的な矩形波形状で与える。これは式 (2.1) において、リーク電流による影響がなく、動作率  $a$  が1周期のうちにその前半が最大値、後半がゼロという極端な遷移を行う場合に相当する。実際のマイ

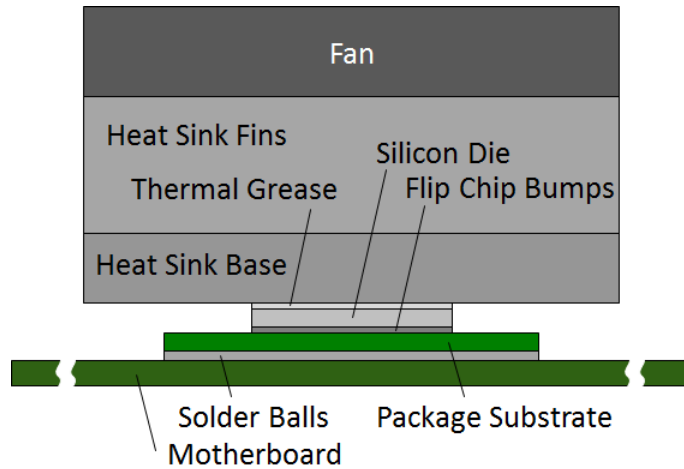


Figure 2.5 Side View of The Microprocessor System with Heat Sink Fan.

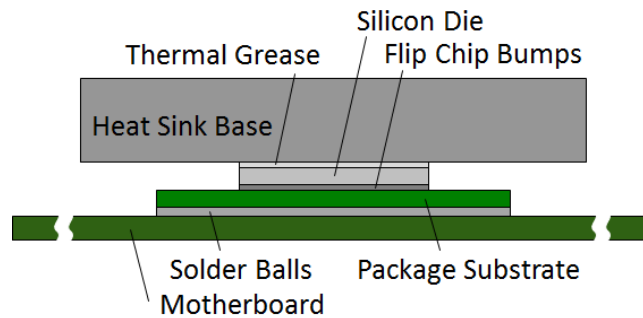


Figure 2.6 Model Region with “Heat Sink Fan” Base.

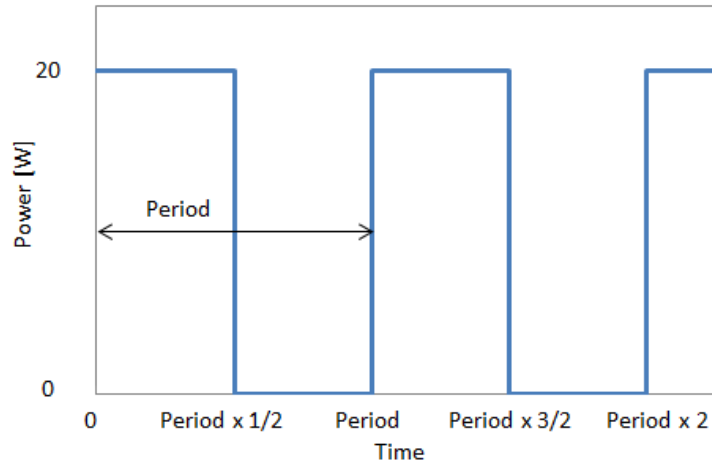


Figure 2.7 Pulse Shaped Input Power.

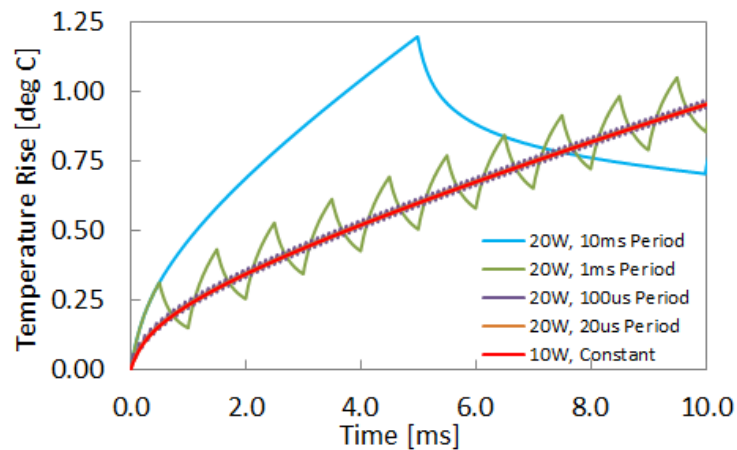


Figure 2.8 Temperature Transient with Pulse Shaped Input Power.

クロプロセッサ動作においては、そこまで急激な遷移の繰り返しは起こらないが、本節では、ワーストケースにおける温度遷移への影響を確認するため、本条件での検証を行うこととした。10W 固定で矩形波の周期を無限大とした場合と、20W で10 ミリ秒、1 ミリ秒、100 マイクロ秒、20 マイクロ秒と短くしていった場合の温度遷移への影響について検証する。なお、初期状態において、マイクロプロセッサの発熱量はゼロとし、図 2.6 のモデル領域全体が周囲温度と同一であるとする。

### 2.3.3 シミュレーション結果

図 2.8 に FT1 プロセッサのシリコンダイ温度 [2-29]の温度上昇を示す。与える矩形波形状の発熱量の周期が10 ミリ秒や1 ミリ秒の場合には、10W 固定とした場合と比較して0.1℃以上のずれが観測されたが、100 マイクロ秒以下の場合には、微変動はするものの、10W 固定とした場合とほぼ同じ温度遷移が確認された。この結果より、システムレベルでの非定常温度遷移を確認する際には、100 マイクロ秒以下の時間周期で計測された消費電力平均値を用いれば、マイクロプロセッサのクロックサイクルごとに消費電力値を設定し直す場合とほぼ同じ温度予測結果が得られることが分かる。なお、消費電力適用後の

初期の 10 ミリ秒内に温度上昇が観測されるのはシリコンダイ、フリップチップバンプ、パッケージサブストレートの一部、サーマルグリース層の一部のみであり、放熱機構やマザーボードの構成によらず、同様の結果が得られると考えられる。

100 マイクロ秒は 1GHz 動作のマイクロプロセッサの場合、100000 クロックサイクルに相当する。近年のマイクロプロセッサの最高動作周波数はそれより高く、また低消費電力状態であっても、数 100MHz で動作するため、消費電力値は瞬時値ではなく、統計的な平均値として取り扱うことが可能と言える。なお、この時間スケールは、主に熱容量を含む、マイクロプロセッサのシリコンダイの熱物性に関係していると考えられる。そのため、本研究ではダイにピュアシリコンを用いたマイクロプロセッサを対象としているが、これと大きく熱物性の異なる材質のダイを用いた半導体製品を用いる場合には、その熱物性における適切な時間周期を算出し直す必要がある。

#### 2.3.4 マイクロプロセッサの時間スケールに関する検証のまとめ

本節では、どの程度の時間周期で消費電力推定式を使用すれば熱解析で十分な精度の温度遷移が得られるか検証した。マイクロプロセッサシステムの 3 次元非定常熱伝導シミュレーションの結果から、システムレベルの解析を行う際には、100 マイクロ秒以下の時間ステップで消費電力を更新すれば十分な精度で非定常温度予測が可能であることが確認できた。

### 2.4 消費電力推定式を用いたマイクロプロセッサの非定常温度予測

本節では、実際のマイクロプロセッサシステムとしてリファレンスシステムを用いて、2.2 節で導出したマイクロプロセッサの消費電力推定式を 2.3 節で示された条件下で適用し、3 次元非定常熱伝導シミュレーションを実施する。得られた結果を実測結果と比較することで、本手法の有効性について検証する。

#### 2.4.1 マイクロプロセッササンプルによる実測

本研究で対象とするマイクロプロセッサ [2-1~2-3]は、複数の電源電圧で動作する。それらは、おおまかに 3 つに分類できる。CPU コア及びキャッシュを駆動させるためのコア電源、内部バス（及び APU の場合は GPU 回路）を駆動させるためのノースブリッジ電源、メモリアンターフェイスやチップセットを接続するためのインターフェイス等のための I/O 電源である。そのうち、消費電力の大半を占めるのはコア電源（及び APU の場合にはノースブリッジ電源）であり、温度依存性もこれらで顕著である。本節では、45nm SOI プロセスで製造されたマイクロプロセッサ [2-3]を使用するが、このマイクロプロセッサには GPU 回路は混載されていないため、コア電源にのみ式 (2.6) を適用し、他の 2 種類の電源は供給電圧、動作周波数、アプリケーション負荷が一定の場合には固定値として扱う。

#### 2.4.2 比較実験

図 2.9 にマイクロプロセッサ周辺の側面図を示す。マザーボードに実装された PGA ソケット上にマイクロプロセッサが装着され、さらにその上にサーマルグリースを介してファン付きヒートシンクが装着されている。本節で使用するファン付きヒートシンクは、デスクトップ型 PC で一般的に使用されるファン付きヒートシンクを小型化（ベース部 50mm 角）したもので、ヒートシンクはアルミニウム系合金

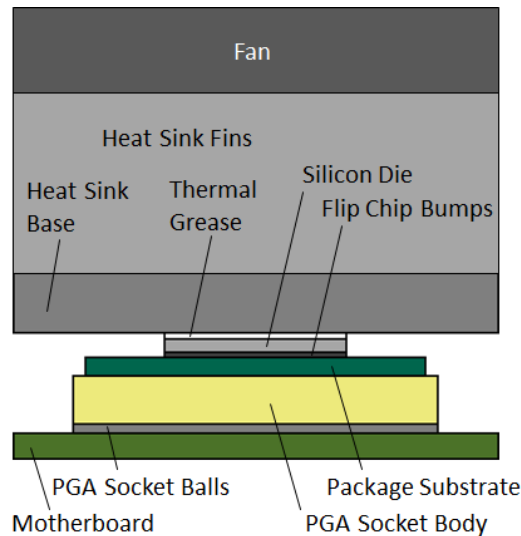


Figure 2.9 Side View of The Microprocessor System.

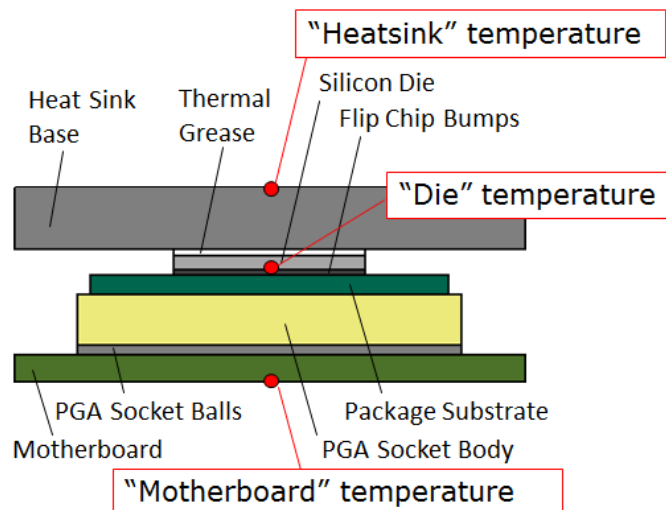


Figure 2.10 Model Region.

(6063-T5) 製である。

マイクロプロセッサのシリコンダイ温度には、消費電力推定式の係数を決定したときと同じく、マイクロプロセッサが外部回路に報告する温度 [2-26]を用いる。マイクロプロセッサシステムにおける 2 つの伝熱経路のモデル化の良否についても検証するため、ヒートシンクのベース部上面の中心温度をヒートシンク温度、PGA ソケット中心直下のマザーボード下面温度をマザーボード温度とし、T 型熱電対で温度を測定する。また、ファン付きヒートシンク中心直上 10cm の場所に T 型熱電対を固定し、周囲温度として測定する。

リファレンスボードの電源を投入し、OS (Operating System) を起動後、ファン付きヒートシンクのファン回転数を一定に保ち、温度が定常状態に至った時点で実験を開始する。実験開始時点では OS はアイドル状態であり、マイクロプロセッサは低消費電力状態 (動作周波数 800MHz) にある。温度測定と同時に、OS 上でアプリケーションソフトウェアを実行し、マイクロプロセッサに一定のアプリケーション負

荷をかける．アプリケーション負荷がかかると、マイクロプロセッサのステートが変更され、最高動作周波数（2600MHz）で処理を開始する．アプリケーション負荷をかけた直後から最初の 100 秒間温度を測定する．

#### 2.4.3 非定常シミュレーション条件

前節同様、式（2.7）を有限差分法を用いて離散化し、3次元非定常熱伝導シミュレーションを実施する．空間については中心差分、時間については前進差分とし、陽解法で各時刻、各格子における温度を求める．格子幅は特にシリコンダイ内の発熱密度分布を考慮して設定し、時間ステップは陽解法の制約条件及び計測データとの比較を考慮して決定した．

マイクロプロセッサ周辺のマザーボード、PGA ソケット、マイクロプロセッサパッケージ、サーマルグリス、ファン付きヒートシンクのベース部を対象領域としてモデル化する（図 2.10）．マイクロプロセッサからの発熱はシリコンダイ底面における面発熱とし、コア、2 次キャッシュ、ノースブリッジ、I/O ごとに均一の発熱密度を与える．

マザーボード、PGA ソケットボール、PGA ソケットボディ、パッケージサブストレート、フリップチップバンプは、それぞれ複合部品として有効熱特性値を求め、適用する．なお、シリコンダイの熱伝導率は温度の 1 次式として与え、その他の熱特性値は温度によらず一定とする．ファン付きヒートシンクの冷却性能については、前節同様、A.1.1 項で示す方法を用いてフィン部の熱伝導を表現し、境界条件として熱伝達率を与えることで表現する．マザーボード底面からの放熱についても、境界条件として熱伝達率を与えることで表現する．周囲温度には、比較実験で測定した周囲温度の時間平均値を使用した．また、比較実験と同じ位置にダイ温度、ヒートシンク温度、マザーボード温度を設定する．シリコンダイ温度のモニタポイントは、マイクロプロセッサ内蔵の温度センサの位置に設定する．

#### 2.4.4 非定常シミュレーション結果

アイドル状態からマイクロプロセッサに一定のアプリケーション負荷を与えた際のシミュレーション結果を比較実験の結果とともに図 2.11 に示す．

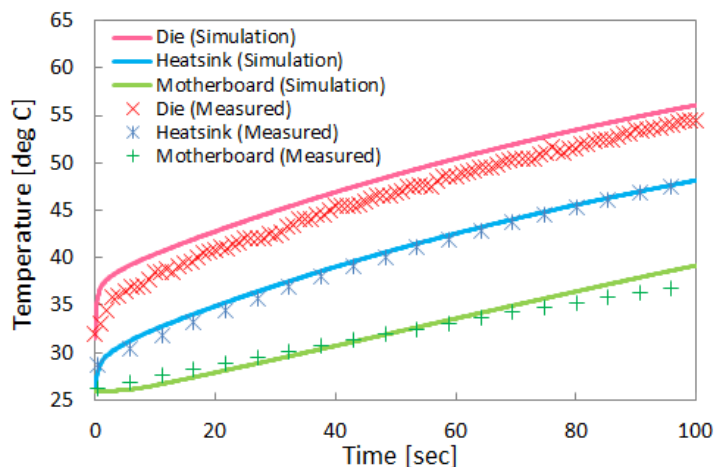


Figure 2.11 Simulation and Measured Result.

ヒートシンク温度については、100 秒間にわたってシミュレーション結果と実験結果がほぼ一致することが確認できた。マザーボード温度については、全体的にはシミュレーション結果が実験結果に近い値を示しているが、各時刻における温度には違いが見られる。PGA ソケットを含む、マザーボードに流れる下方の伝熱経路の熱特性値の設定に改善の余地があると思われる。シリコンダイ温度については、シミュレーション結果が実験結果に近い傾向を示しているが、全体的にやや高めの値を示している。上記のマザーボード温度の場合と同様、伝熱経路のモデル化に起因していると考えられる。しかし、各時刻におけるシミュレーション結果と実験結果の差は最大 2.5℃程度であり、実用的な精度に収まっていると考えられる。

#### 2.4.5 消費電力推定式を用いたマイクロプロセッサの非定常温度予測に関するまとめ

本節では、消費電力推定式を用いてマイクロプロセッサの消費電力を求め、マイクロプロセッサシステムの非定常温度予測を実施した。その結果、各時刻におけるシミュレーション結果と実験結果の差は最大 2.5℃程度であり、実用に耐えうる温度予測精度が得られたと考えられる。

## 2.5 まとめ

本章では、マイクロプロセッサの発熱量を消費電力推定式としてモデル化し、実用的な温度予測精度を得るための時間スケールの必要条件について検証し、最後に 3 次元非定常熱伝導シミュレーションにこれらを適用し、実測結果と比較した。

2.1 節では、本研究で対象とするマイクロプロセッサ及び本章の構成について説明した。

2.2 節では、3 次元シミュレーションや後述する熱回路網に適用しやすいマイクロプロセッサの消費電力推定式を導出した。消費電力推定式は、マイクロプロセッサの詳細なパラメータを入手することなく、システム上での消費電力の実測から係数を求めることができるため、半導体メーカー、電子機器メーカーを問わず、広く使用できるものである。

2.3 節では、これまで十分な議論がなされていなかった、熱解析を実施する上で適用すべき消費電力値更新の時間周期について検証、考察し、100 マイクロ秒以下の時間ステップで消費電力を更新すれば十分な精度で非定常温度予測が可能であることを確認した。

最後に、2.4 節では、マイクロプロセッサシステムの非定常温度予測を実施した。その結果、消費電力推定式を十分に短い時間ステップごとに適用することで、実用的な精度で温度予測が可能であることを確認した。

## 参考文献

- [2-1] “The worlds first combination of low-power CPU and advanced GPU intergrated into a single embedded device”, Product Brief : AMD Embedded G-Series APU Platform, Publication # 49282 (2013).
- [2-2] Family 16h Models 00h-0Fh AMD A-Series Mobile Accelerated Processor Product Data Sheet, Publication # 52169, Rev 3.03, February 2014.
- [2-3] Revision Guide for AMD Family 10h Processors, Publication # 41322, Rev 3.92, March 2012.
- [2-4] T. Hatakeyama, K. Fushinobu, and K. Okazaki, “Mesh Zoning Method for Electro-Thermal Analysis of Submicron Si MOSFET”, Journal of Thermal Science and Technology, Vol. 1, No. 2, pp. 101-112 (2006).
- [2-5] T. Hatakeyama, K. Fushinobu, and K. Okazaki, “Electro-Thermal Analysis of Submicron Si MOSFET with Zoned Mesh Based on Semiconductor Physics”, Journal of Thermal Science and Technology, Vol. 3, No. 1, pp. 45-57 (2008).
- [2-6] W. Huang, K. Sankaranarayanan, K. Skadron, R. J. Ribando and M. R. Stan, “Accurate, Pre-RTL Temperature-Aware Design Using a Parameterized, Geometric Thermal Model”, IEEE Transactions on Computers, Vol. 57, Issue 9, pp. 1277-1288, September 2008.
- [2-7] A. Sridhar, A. Vincenzi, M. Ruggiero, T. Brunschweiler and D. Atienza, “3D-ICE: Fast Compact Transient Thermal Modeling for 3D ICs with Inter-tier Liquid Cooling”, 2010 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 463-470, November 2010.
- [2-8] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2009 Edition, ITRS (2009).
- [2-9] 平本俊郎編著, 内田健, 杉井信之, 竹内潔著, 集積ナノデバイス, 丸善株式会社, pp. 143-144.
- [2-10] 平本俊郎編著, 内田健, 杉井信之, 竹内潔著, 集積ナノデバイス, 丸善株式会社, pp. 132.
- [2-11] 平本俊郎編著, 内田健, 杉井信之, 竹内潔著, 集積ナノデバイス, 丸善株式会社, pp. 53-55.
- [2-12] S. Takagi, J. Koga and A. Toriumi, “Subband Structure Engineering for Performance Enhancement of Si MOSFETs”, Technical Digest of International Electron Devices Meeting (IEDM), 1997, pp. 219-222.
- [2-13] K. Uchida, J. Koga, R. Ohba, T. Numata, and S. Takagi, “Experimental Evidences of Quantum-Mechanical Effects on Low-field Mobility, Gate-channel Capacitance, and Threshold Voltage of Ultrathin Body SOI MOSFETs”, Technical Digest of International Electron Devices Meeting (IEDM), 2001, pp. 633-636.
- [2-14] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, and S. Takagi, “Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI n- and p-MOSFETs with SOI Thickness less than 5 nm”, Technical Digest of International Electron Devices Meeting (IEDM), December 2002, pp. 47-50.
- [2-15] H. Watanabe, K. Uchida, and A. Kinoshita, “Numerical Study of C-V Characteristics of Double-Gate Ultrathin SOI MOSFETs”, IEEE Transactions of Electron Devices, Vol. 54, No. 1, January 2007, pp. 52-58.
- [2-16] J.-S. Goo, J. X. An, C. Thuruthiyil, et al, “History-effect-conscious SPICE model extraction for PD-SOI technology”, 2004 IEEE SOI Conference : Proceedings., 2004, pp.156-158.
- [2-17] 平本俊郎編著, 内田健, 杉井信之, 竹内潔著, 集積ナノデバイス, 丸善株式会社, pp. 143.
- [2-18] 平本俊郎編著, 内田健, 杉井信之, 竹内潔著, 集積ナノデバイス, 丸善株式会社, pp. 135.
- [2-19] B. Amelifard, F. Fallah and M. Pedram, “Leakage minimization of SRAM cells in a dual-Vt and dual-Tox

- 
- technology”, IEEE Trans. on VLSI Systems, Vol. 16, No.7, Jul. 2008, pp. 851-860.
- [2-20] 平本俊郎編著, 内田健, 杉井信之, 竹内潔著, 集積ナノデバイス, 丸善株式会社, pp. 141-142.
- [2-21] 平本俊郎編著, 内田健, 杉井信之, 竹内潔著, 集積ナノデバイス, 丸善株式会社, pp. 139-140.
- [2-22] 西剛伺, “マルチコアプロセッサのダイ周りの非定常熱伝導シミュレーション”, 熱工学コンファレンス 2010 (2010), C114.
- [2-23] K. Nishi, “Transient Heat Conduction Simulation of the Lidless Micro PGA Processor”, ICEP2011 Proceedings (2011), TB4-3, pp. 311-314.
- [2-24] 西剛伺, “マイクロプロセッサのダイ周りの非定常熱伝導シミュレーション”, 日本伝熱学会論文集, Vol. 20, No. 2, pp. 27-34 (2012).
- [2-25] 西剛伺, 畠山友行, 石塚勝, “非定常熱シミュレーションのためのマイクロプロセッサの消費電力推定式に関する研究”, 日本機械学会年次大会 (2012), J061014.
- [2-26] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) For AMD Family 10h Processors, Publication # 31116, Rev 3.62, pp. 162-164, January 2013.
- [2-27] K. Nishi, “Transient Heat Conduction Simulation of The Microprocessor Investigation regarding Thermal Control with Power Limiting”, ICEP-IAAC 2012 Proceedings, FC4-1, pp. 545-550 (2012).
- [2-28] 西剛伺, 畠山友行, 石塚勝, “消費電力制限機能を有するマイクロプロセッサの非定常熱伝導シミュレーション”, 電子情報通信学会論文誌 C, Vol.J96-C, No.11, pp. 419-426 (2013).
- [2-29] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 14h Models 00h-0Fh Processors, Publication # 43170, Rev 3.13, pp. 114-117, February 2012.



## 第 3 章

### 熱回路網による非定常温度予測

前章では、マイクロプロセッサの発熱のモデル化について論じた。本章では、小型電子機器のための実用的な非定常温度予測手法の確立を目的として議論を展開する。実用的な精度で温度予測を実施するためには伝熱経路の適切なモデル化が不可欠である。本章では、従来のものとは定義の異なる熱回路網を導入し、伝熱経路をモデル化する。まず定常状態における伝熱経路、発熱分布による予測温度への影響について考察し、定常状態における熱回路網による温度予測を実施する。続いて非定常状態における熱抵抗値の変動についてモデル化し、熱回路網を非定常解析向けに拡張して非定常温度予測を実施し、その有効性について検証する。

#### 3.1 小型電子機器筐体内の伝熱経路と本章の構成

本研究で対象とするマイクロプロセッサを採用する小型電子機器では、2.1 節に示した通り、シリコンダイから放熱機構に至る上方の伝熱経路とパッケージサブストレートからマザーボードに至る下方の伝熱経路が存在する。上方の伝熱経路では、シリコンダイ上面にシリコングリース等の TIM (Thermal Interface Material) を塗布し、その上に放熱要件に応じて、ファン付きヒートシンク、RHE (Remote Heat Exchanger)、ヒートスプレッドといった放熱機構を装着する。

ファン付きヒートシンク (図 3.1) は、デスクトップ型 PC を中心に、比較的サイズに余裕のある小型電子機器に採用される放熱機構 [3-1] で、マイクロプロセッサのシリコンダイ真上にヒートシンクを設置し、ヒートシンク上に搭載されたファンからヒートシンクのフィン部に空気を吹き出すことにより冷却する。

RHE (図 3.2) は、ヒートスプレッドを介してシリコンダイで発生した熱をヒートパイプに送り、ヒートパイプのもう一方の端部に設置されたフィンを強制対流で冷却する。ヒートパイプを用いることでマイクロプロセッサ真上の高さを抑えることができるため、強制対流冷却を必要とするノートブック型 PC、タブレット型デバイスで広く採用されている [3-1, 3-2]。

上述のファン付きヒートシンクや RHE に使用されるファンにはいくつかの種類があるが、いずれもマイクロプロセッサのシリコンダイ温度やシステムの温度をモニタし、温度に応じて電圧制御もしくは PWM (Pulse Width Modulation) による回転数制御により、ファンの風速、風量を調整する (図 3.3)。

ヒートスプレッド (図 3.4) は、ファンレス設計のノートブック型 PC、タブレット型デバイスで採用される放熱機構で、マイクロプロセッサパッケージより平面方向にサイズの大きいアルミニウム等の金属板が使用される。

一方、マイクロプロセッサパッケージには底面に半田ボールが多数配置され、マザーボード上に実装されている。そのため、下方の伝熱経路では、マイクロプロセッサの熱はマザーボードに流れ込み、マザーボード表面による熱伝達によって冷却される。

マイクロプロセッサのシリコンダイにおけるホットスポットを含む温度を実用的な精度で予測するに

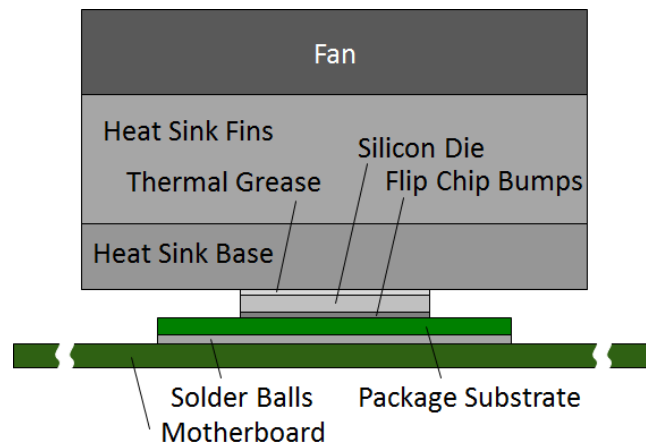


Figure 3.1 Side View of Microprocessor Package and Motherboard with Heat Sink Fan.

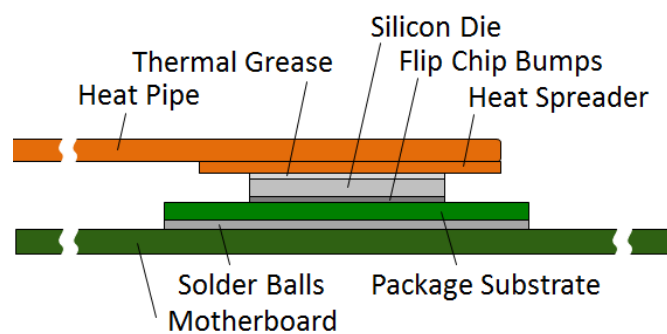


Figure 3.2 Side View of Microprocessor Package and Motherboard with RHE.

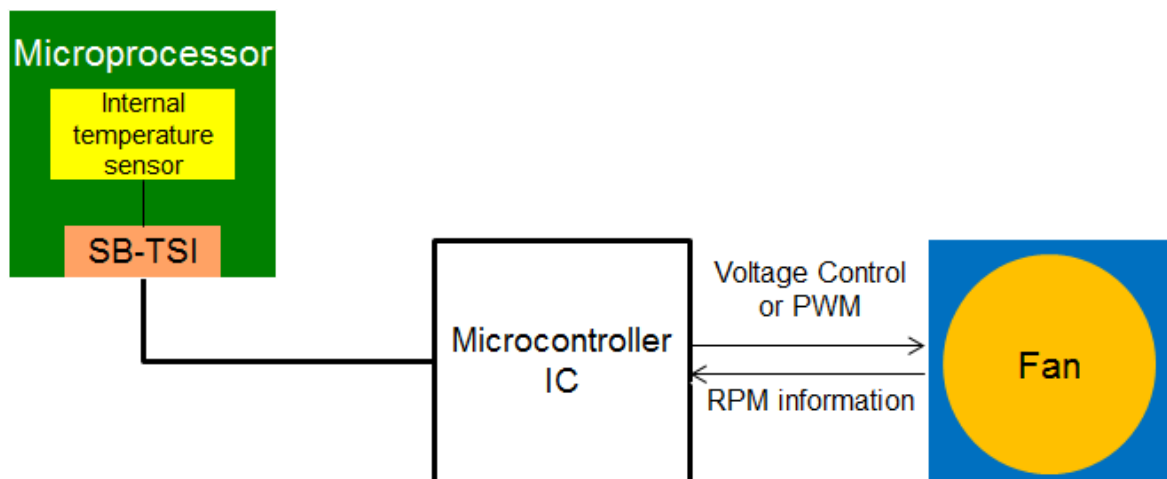


Figure 3.3 Thermal Control Block Diagram of Typical PC Application.

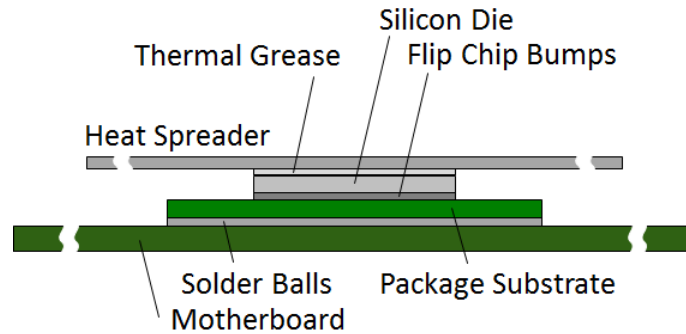


Figure 3.4 Side View of Microprocessor Package and Motherboard with Heat Spreader.

は、伝熱経路の適切なモデル化と適切な初期条件、境界条件の設定が不可欠である。また、シミュレーションの設定が本当に適切であるか確認するには、得られた結果を注意深く分析する必要がある。

現在では、電子機器の熱設計に熱流体シミュレーションソフトウェア [3-3～3-6]が広く用いられている。その起源は数値流体力学（CFD, Computational Fluid Dynamics）であり、流れを可視化するポストツールが充実している。例えば、温度場に関しても可視化が可能であり、特に定性的な議論に非常に有用である。しかし、熱流体シミュレーションによる非定常温度予測は、大規模な計算機環境を有しない限り、非常に長い計算時間を要するため、製品開発における熱設計のターンアラウンドの観点から実用的とは言い難い。

一方、熱工学分野においては、古くから、各部の熱の流れ易さを熱抵抗として数値化し、仕様を満たすために定量的な議論を行い、熱設計を改善する試みがなされてきた。その中で、熱抵抗を接続して回路網としたものが熱回路網 [3-7, 3-8]である。熱回路網は、特に、伝熱経路につき1次元的に1本の直列接続された熱抵抗群として表現すると、直感的にわかりやすく、定量的な議論も行いやすい。しかし、既存の熱回路網は各ノードを特定の点として定義しているため、上記のように1次元的に構成する場合、その経路で生じる温度差を適切に表現することができない。そこで、本章では、上記の問題点を解決するために平均温度ノードを有する熱回路網 [3-9～3-11]を導入する。

本章では、まず小型電子機器筐体内の定常解析について議論する。3.2 節では、マイクロプロセッサパッケージ内部及び伝熱経路の熱の流れを把握し、実用的な精度で温度予測を行うために、構成部材端部の平均温度をノードとする、従来のものとは定義の異なる熱回路網 [3-9～3-11]を導入する。3.3 節では定常状態における小型電子機器筐体内の伝熱経路における放熱機構、マザーボードサイズの違い、シリコンダイの発熱分布の違いによる温度予測結果への影響について検証することを目的として、マイクロプロセッサパッケージの熱抵抗値の変動について検証、考察する。3.4 節では、上記の熱回路網を用いた定常状態における筐体内の温度予測手法 [3-12, 3-13]を提案し、その有効性についてマイクロプロセッサシステムのモデルを用いて検証する。

続いて、本章では、小型電子機器筐体内の非定常解析について議論する。3.5 節では、非定常状態における熱抵抗値の変動について考察し、それらのモデル化を試みる。3.6 節では、熱回路網を非定常解析向けに拡張して非定常温度予測を実施し、その結果について考察する。

## 3.2 熱回路網による小型電子機器筐体内の伝熱経路の表現

本節では、マイクロプロセッサパッケージにおける伝熱状態の検証と把握を目的として、熱回路網の必要性と概要を説明し、続いて既存の熱回路網を 1 次元で用いる場合の問題点を示す。そして、問題点を解決すべく平均温度ノードを用いた熱回路網を導入する。

### 3.2.1 熱回路網の必要性と定常熱回路網の概要

固体熱伝導では、ビオ数 (Biot number) について議論されることがある。ビオ数は、

$$Bi = \frac{hL}{k} \quad (3.1)$$

と定義され、「物体内の熱伝導に対する物体表面の熱伝達の相対的な大きさ」を表す [3-14]。ここで、 $h$  は熱伝達率、 $L$  は代表長さ、 $k$  は部材の熱伝導率である。ファン付きヒートシンクやヒートスプレッドのような放熱機構においては、熱伝導と熱伝達による熱抵抗の割合についてビオ数を用いて議論することが可能である。また、伝熱経路はマイクロプロセッサパッケージのように複数の部材が重なり合うことで構成されているが、伝熱経路全体を論じる場合には、熱伝導による温度上昇と熱伝達による温度上昇の比として、ビオ数に相当する有効値を用いた議論が可能である。一方、実用的な温度予測精度を保つには伝熱経路の個々の部材による影響について検証する必要があるが、ビオ数はあくまでも熱伝導と熱伝達の割合を示す無次元数であり、伝熱経路を構成する各部材の熱伝導による熱抵抗を比較する目的ではビオ数を用いた議論は適さない。そこで、本節では、伝熱経路の個々の部材による影響を定量的に扱うために熱回路網を導入する。

#### 3.2.1.1 電気回路と伝熱経路の相似性

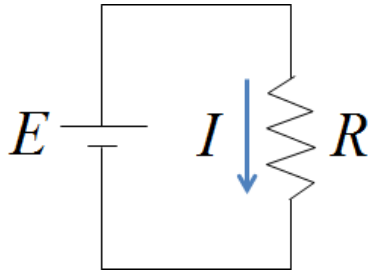
電気回路の解析では、古くから電気抵抗を集中定数回路素子として扱うことで所望の電位や電流値を求める回路網が利用され、現在では、回路理論という 1 つの体系を採っている。熱回路網は、線形電気回路と部材の熱特性の類似性を利用して、電気回路用に体系化された回路理論の知見の一部を熱に適用したものである [3-15]。線形電気回路と部材の熱特性の類似性は、回路理論の基礎となっているオームの法則によって示すことができる。オームの法則は、電気抵抗  $R$  を直流電圧源  $E$  に接続して電流  $I$  が流れた際、これらの間に以下の関係が成り立つというものである (図 3.5 (a)) [3-16]。

$$I = \frac{E}{R} \quad (3.2)$$

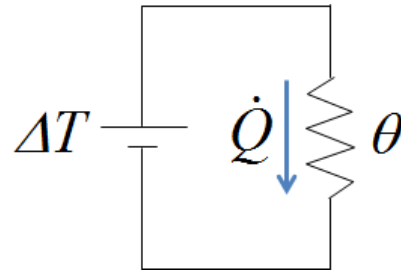
熱回路の場合には、熱抵抗  $\theta$  の部材に温度差  $\Delta T$  が生じているとき、伝熱量  $\dot{Q}$  が流れることになる (図 3.5 (b))。

$$\dot{Q} = \frac{\Delta T}{\theta} \quad (3.3)$$

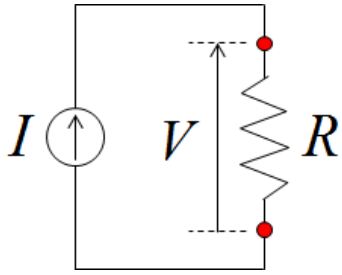
実際の電子機器では、温度差を人為的に固定するわけではなく、マイクロプロセッサ等の発熱により温度が上昇する。電気回路の直流電圧源を電流源に替えるのと相似で、熱回路の温度差を発熱源に替えると、実際の電子機器による温度上昇を表現することができる (図 3.5 (c) 及び (d))。図中の赤丸はノードと呼ばれ、特定点、もしくはエリアを意味し、温度値を有する。伝熱量、温度差には、キルヒホッフの法則を適用することができる。キルヒホッフの第 1 法則 (電流則) は、「回路の節点に流入する電流の和



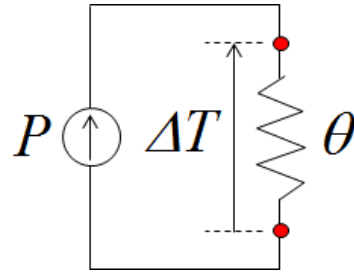
(a) Electric Circuit with Voltage Source.



(b) Thermal Network with Temperature Difference.



(c) Electric Circuit with Current Source.



(d) Thermal Network with Heat Source.

Figure 3.5 Analogy of Electric Circuit and Thermal Property.

と流出する電流の和は等しい」 [3-17]というもので、熱回路では電流を伝熱量に置き換えることでそのまま成り立つ。また、キルヒホッフの第2法則（電圧則）は、「任意の閉回路において、素子に加わる電圧の和はゼロにならなければならない」 [3-17]というもので、熱回路では電圧を温度差に置き換えることでそのまま成り立つ。

### 3.2.1.2 従来の定常熱回路網

従来の熱回路網では、各ノードは特定点における温度を示す（図 3.6）。部材側面が断熱とみなせる場合、熱の流れは1次元的に取り扱うことが可能である。熱が部材に一樣に流れる場合には、2点間の温度差は、その部材に流れる総伝熱量、熱の流れに垂直な方向の断面積、熱の流れ方向の距離が分かれば、フーリエの法則を用いて求めることができる。しかし、一般的には、熱の流れは空間的に一樣ではなく、熱回路網における隣接し合うノード間に流れる熱流束がその部材を通過する平均熱流束と大きくかい離する場合、算出される温度差に大きな誤差が生じる。特に、最近のマイクロプロセッサには、CPU、GPU、I/O回路が混載されている。マイクロプロセッサはシリコンダイ底面近傍に位置する回路面で発熱するが、回路の種類やアプリケーション負荷の種類により、その発熱分布には偏りが生じる [3-18, 3-19]。そのため、従来の熱回路網を1次元で取り扱う場合、マイクロプロセッサパッケージ周辺で大きな温度予測誤差が生じる可能性がある。

## 3.2.2 平均温度ノードと局所熱抵抗を導入した定常熱回路網

### 3.2.2.1 各部材の熱抵抗

本研究では、部材を通過する総伝熱量のバランスを元に温度差を求められるよう、特定点の温度では

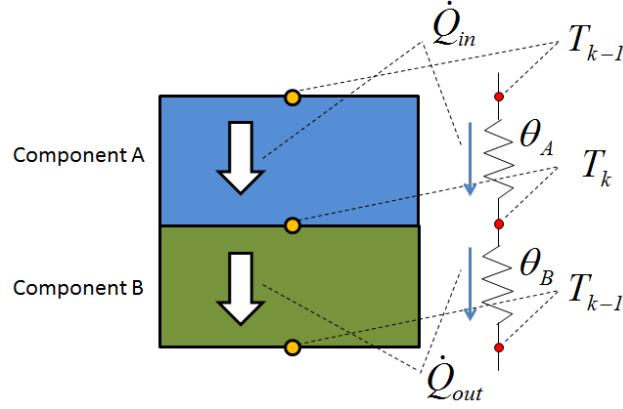


Figure 3.6 Conventional Thermal Network with Specific Point Temperature Nodes.

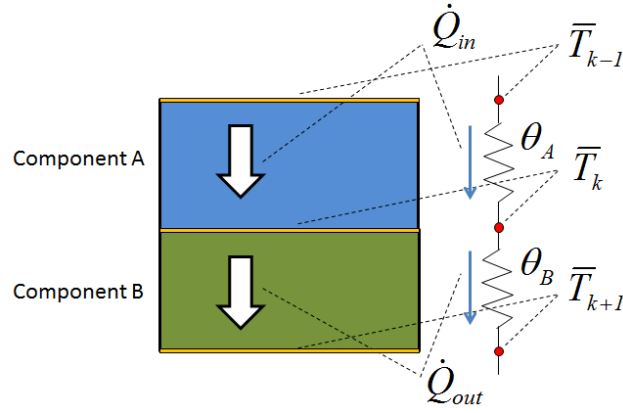


Figure 3.7 Thermal Network with Average Temperature Nodes.

なく，面の平均温度をノードとする熱回路網を導入する（図 3.7）．部材側面が断熱とみなせ，隣接する部材 A 及び B の断面積が等しい場合，定常状態では，図 3.7 の平均温度  $\bar{T}_k$  のノードにおいて，以下のエネルギーバランス式が成り立つ．

$$\dot{Q}_{in} - \dot{Q}_{out} = \frac{k_A A_A}{l_A} (\bar{T}_{k-1} - \bar{T}_k) - \frac{k_B A_B}{l_B} (\bar{T}_k - \bar{T}_{k+1}) = 0 \quad (3.4)$$

ここで， $\dot{Q}_{in}$ ， $\dot{Q}_{out}$  は平均温度  $\bar{T}_k$  のノードに流入及び流出する伝熱量， $k$ ， $A$ ， $l$  は部材の熱伝導率，断面積，厚みであり，添え字は部材を示す．なお，平均温度  $\bar{T}_k$  は以下のように定義される．

$$\bar{T}_k = \int_{surface\ k} T dA / \int_{surface\ k} dA = \frac{1}{A_A} \int_{surface\ k} T dA = \frac{1}{A_B} \int_{surface\ k} T dA \quad (3.5)$$

このとき，部材 A，B の熱抵抗は以下のように定義できる．

$$\theta_A = \frac{l_A}{k_A A_A} \quad (3.6)$$

$$\theta_B = \frac{l_B}{k_B A_B} \quad (3.7)$$

一般化すると、部材の熱抵抗は以下ようになる。

$$\theta_{material} = \frac{l}{kA} \quad (3.8)$$

つまり、断面積が等しい部材間に熱が流れる場合には、従来の熱回路網の概念でも結果的に平均温度をノードとする回路網と同様にノード間に生じる温度差を見積もっていることになる。

式 (3.8) 中の熱伝導率は、シリコンダイのように単一材質で構成される部材もしくは半田ボール層のように構成する部材の分布が規則的でほぼ一様とみなせる場合には、部材の熱伝導率もしくは有効熱伝導率から熱抵抗値を求めることができる。ここで、有効熱伝導率とは、異なる熱伝導率を有する複数の部材で構成される複合材を 1 つの部材として表現する際に用いられる熱伝導率のことである。配線密度が内部で大きく異なるサブストレートパッケージのように、構成する材質の分布によっては、実装される環境によって熱抵抗値が変動するため、有効熱伝導率の決定には注意が必要である。これは次に説明する拡大熱抵抗等の影響によるものであるが、詳細な議論はサブストレートパッケージのモデル化を題材として A.2 節で行う。

### 3.2.2.2 拡大熱抵抗

電子機器では、断面積の異なる部材が隣接することがある。例えば、シリコンダイやフリップチップバンプとパッケージサブストレートでは断面積が異なる。図 3.8 のように部材 A 及び B の断面積が異なる場合、定常状態におけるエネルギーバランス式は

$$\dot{Q}_{in} - \dot{Q}_{out} = \frac{k_A A_A}{l_A} (\bar{T}_{k-1} - \bar{T}_{kp}) - \frac{k_B A_B}{l_B} (\bar{T}_k - \bar{T}_{k+1}) = 0 \quad (3.9)$$

となる。ここで、 $\bar{T}_{kp}$  は部材 A と部材 B が隣接する面における部材 A の平均温度、 $\bar{T}_k$  は部材 B の平均温度である。

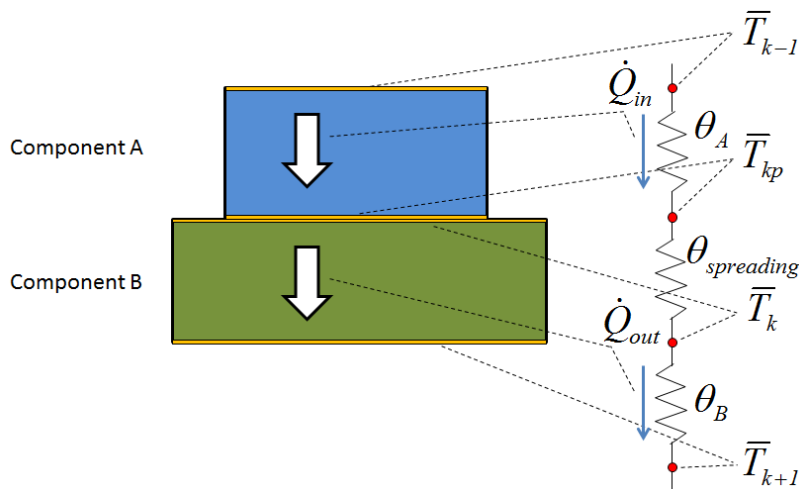


Figure 3.8 Thermal Network with Average Temperature Nodes and Thermal Spreading Resistance.

$$\bar{T}_{kp} = \int_{\text{surface } kp} T dA / \int_{\text{surface } kp} dA = \frac{1}{A_A} \int_{\text{surface } kp} T dA \quad (3.10)$$

$$\bar{T}_k = \int_{\text{surface } k} T dA / \int_{\text{surface } k} dA = \frac{1}{A_B} \int_{\text{surface } k} T dA \quad (3.11)$$

部材 A の断面積  $A_A$  と部材 B の断面積  $A_B$  は異なるため、 $\bar{T}_{kp}$  と  $\bar{T}_k$  が示す温度は異なる。これは  $\bar{T}_k$  のノードと同じ面にもう一つノードが存在し、それらの間に拡大熱抵抗が生じていることを意味する。つまり、拡大熱抵抗は以下のように定義できる [3-9～3-11]。

$$\theta_{\text{spreading}} = \frac{\bar{T}_{kp} - \bar{T}_k}{\dot{Q}_{in}} \quad (3.12)$$

拡大熱抵抗は、一般的には、伝熱面積が広がる際に生じる熱抵抗を指し、式 (3.12) の定義だけではなく、特定点における温度と平均温度の差を分子とする場合もある [3-20, 3-21] が、本研究では、拡大熱抵抗という用語を式 (3.12) の定義に限定して使用する。部材の熱伝導率が一定である場合、通常、熱抵抗は一定値として扱われる。一方、同じ部材で構成される場合であっても、空間的な熱の拡がり方が異なれば式 (3.12) の分子の温度差が変わるため、式 (3.12) の分子の温度差と分母の伝熱量の比も変わる。つまり、拡大熱抵抗は、その部材への熱の拡がり方が変わると、見かけ上熱抵抗値が変動する。

### 3.2.2.3 局所熱抵抗

本研究で扱う熱回路網では、上記のように部材の熱抵抗と拡大熱抵抗で構成され、各ノードは部材境界面の平均温度を表す。一方、マイクロプロセッサのシリコンダイ温度や熱電対等による実測から通常得られる温度は特定点の温度であるため、本熱回路網においても、これらを表現する方法が必要と考えられる。そこで、本研究では、特定点の温度を表現するために新たに局所熱抵抗を定義し、1次元熱回路網の一部として使用する [3-9～3-11]。特定点が  $k$  番目のノードが表す部材境界面に存在する場合、

$$\theta_{\text{local}} = \frac{T - \bar{T}_k}{\dot{Q}_{in}} \quad (3.13)$$

である。

本研究で扱うマイクロプロセッサは CPU (Central Processing Unit) と GPU (Graphics Processing Unit) を混載する APU (Accelerated Processing Unit) であり [3-22, 3-23]、CPU や GPU といった回路の種類、アプリケーションソフトウェアによる負荷（以下、アプリケーション負荷）の状態によって、シリコンダイ回路面における発熱分布は大きく変動する。

従来はマイクロプロセッサのシリコンダイにおける発熱は一様で、ジャンクション温度はシリコンダイの回路面中心として扱われていた [3-24]。一方、APU を含む現在のマイクロプロセッサは、CPU、GPU、I/O といった異なる種類の回路を 1 つのシリコンダイに混載している [3-22, 3-23]。それぞれの回路における発熱は異なるため、シリコンダイにおける発熱分布も一様とはいえない。また、ホットスポットもシリコンダイの回路面中心であるとは限らない。そのため、近年の PC 向けマイクロプロセッサにはシリコンダイのホットスポットに近い場所に温度センサが内蔵されており [3-25, 3-26, 3-27, 3-28]、温度仕様もその箇所の温度で規定されている。

特定点がシリコンダイ発熱面のホットスポット（ジャンクション温度）である場合、局所熱抵抗  $\theta_{\text{Die-local}}$



はホットスポット温度  $T_J$ ，発熱面であるシリコンダイ底面の平均温度  $\bar{T}_{Die-bottom}$ ，マイクロプロセッサの発熱量  $\dot{Q}_{Processor}$  を用いて，下式で定義することができる [3-9～3-11].

$$\theta_{Die-local} = \frac{T_J - \bar{T}_{Die-bottom}}{\dot{Q}_{Processor}} \quad (3.14)$$

なお，シリコンダイ底面における発熱分布は，アプリケーション負荷の種類等によって変化するため，それに伴って式 (3.14) の局所熱抵抗も値が変化する．また，従来のシリコンダイ回路面で一様発熱とする場合でも， $T_J$  を回路面中心温度とすることで式 (3.14) の定義をそのまま利用することが可能である．従来は発熱分布の違いによるホットスポット温度の上昇を評価する手段がなかったが，局所熱抵抗という概念の導入により，それを定量的に評価できるようになる．

#### 3.2.2.4 マイクロプロセッサパッケージの定常熱回路網

マイクロプロセッサパッケージの熱回路網を図 3.9 に示す．マイクロプロセッサは，シリコンダイ底面の回路面で発熱する．温度予測の対象となるシリコンダイ内のホットスポットは，シリコンダイ底面の回路面近傍に存在する．本研究では，ホットスポットをシリコンダイ底面における特定点として取り扱う．図 3.9 では，ホットスポットのノード ( $T_J$ ) を局所熱抵抗  $\theta_{Die-local}$  を介してシリコンダイ底面のノード ( $\bar{T}_{Die-bottom}$ ) と接続することで，その温度差を表現している．

上方の伝熱経路に関しては，シリコンダイ底面 ( $\bar{T}_{Die-bottom}$ ) からシリコンダイ ( $\theta_{Die}$ ) を介してシリコンダイ上面 ( $\bar{T}_{Die-top}$ ) に至る．一方，下方の伝熱経路に関しては，シリコンダイ底面 ( $\bar{T}_{Die-bottom}$ ) からフリップチップバンプ ( $\theta_{FCBump}$ ) に至った後，パッケージサブストレートがフリップチップバンプ層より大きいいため，その上面に拡大熱抵抗 ( $\theta_{Pkg-spreading}$ ) が生じる．その後，半田ボールを含むパッケージ本体 ( $\theta_{Pkg}$ ) を介して，半田ボール底面 ( $\bar{T}_{Ball-bottom}$ ) に至る．

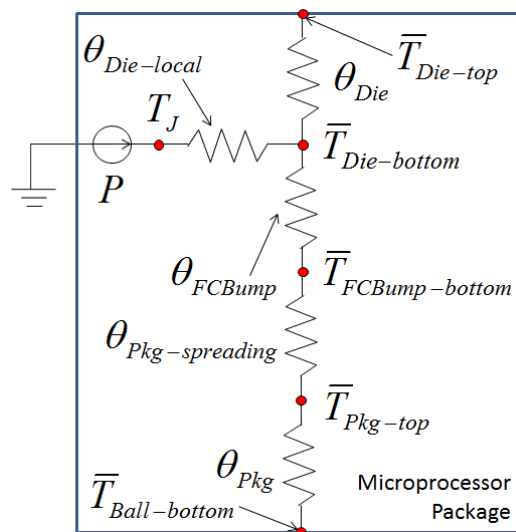


Figure 3.9 Thermal Network of Microprocessor Package.

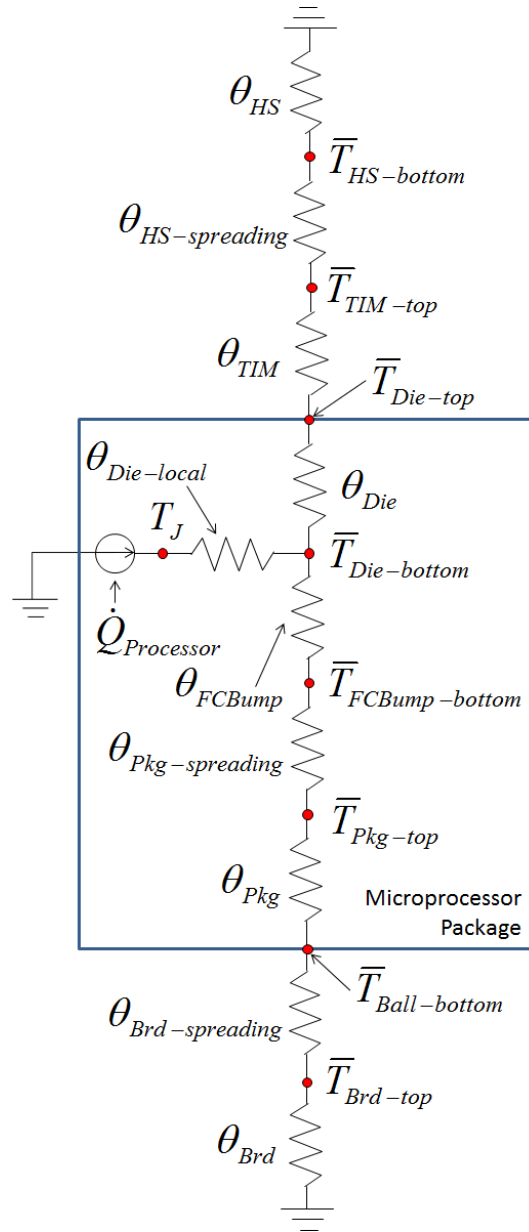


Figure 3.10 Thermal Network of The Microprocessor System for Steady State Analysis.

### 3.2.2.5 マイクロプロセッサを用いたシステムの定常熱回路網

マイクロプロセッサを用いたシステムの熱回路網を図 3.10 に示す。青枠内がマイクロプロセッサパッケージ内部であり，その外側がマイクロプロセッサ以外の伝熱経路である。

上方の伝熱経路に関しては，シリコンダイ上面（ $\bar{T}_{Die-top}$ ）からサーマルグリース等の TIM（ $\theta_{TIM}$ ），放熱機構底面における拡大熱抵抗（ $\theta_{HS-spreading}$ ）を介して放熱機構底面（ $\bar{T}_{HS-bottom}$ ）に熱が伝わった後，放熱機構（ $\theta_{HS}$ ）を介して室温に至る。下方の伝熱経路に関しては，半田ボール底面（ $\bar{T}_{Ball-bottom}$ ）から，マザーボード上面における拡大熱抵抗（ $\theta_{Brd-spreading}$ ）を介してマザーボード上面（ $\bar{T}_{Brd-top}$ ）に至り，その後，マザーボード（ $\theta_{Brd}$ ）を介して室温に至る。

ヒートスプレッダを放熱機構として採用する場合，構成によっては，図 3.10 に示した伝熱経路の他に，

ヒートスプレッド底面から空気を介してマザーボード上面に至る伝熱経路が無視できない場合がある。タブレット型デバイスのように筐体が薄い場合に特にその傾向が顕著である [3-29～3-31]が、本節では調査の対象外とし、図 3.10 に示した伝熱経路のみが存在するものとして、議論を進める。

### 3.3 定常状態における熱抵抗値の変動に関する検証

小型電子機器における放熱では、熱伝導が支配的であり、熱伝導経路のモデル化の良否が温度予測に大きな影響を及ぼす。前節で示した通り、拡大熱抵抗や局所熱抵抗は部材境界の状態によって値が変動するため、どのような条件でそれらの熱抵抗値がどの程度変動するか把握しておくことは非常に重要である。また、JEDEC の CTM (Compact Thermal Model) [3-32]の 1 つであり、古くから電子機器の熱設計において広く使用されている 2 抵抗モデル [3-33]では温度予測に誤差が生じることが知られており、伝熱経路の一部としてのマイクロプロセッサパッケージに関して、詳細な検証が必要と考えられる。一方、近年のマイクロプロセッサは単一のシリコンダイに CPU (Central Processing Unit), GPU (Graphics Processing Unit), I/O (Input Output) を混載しており、シリコンダイ回路面における発熱は均一ではない [3-18, 3-19]。しかし、多くの熱解析では今もなおシリコンダイを均一発熱として扱っており、シリコンダイ回路面における発熱が均一でない場合について、その予測温度への影響や評価方法が十分であるとは言い難い。そこで、本節では、小型電子機器筐体内の伝熱経路における放熱機構、マザーボードサイズの違い、シリコンダイの発熱分布の違いによるホットスポット温度への影響を熱抵抗の変動を通して検証、考察することを目的として、マイクロプロセッサパッケージを対象領域として 3 次元定常熱伝導シミュレーションを実施し、拡大熱抵抗、局所熱抵抗の変動について検証、考察する。なお、2 抵抗モデルの温度予測誤差要因については、A.3 節で別途議論する。

#### 3.3.1 熱抵抗値の変動

部材の熱抵抗は、式 (3.8) より、熱伝導率が一樣であれば伝熱経路の構成によらず一定の値を採るが、拡大熱抵抗や局所熱抵抗は、式 (3.12) 及び式 (3.14) より、分子の温度差及び分母の伝熱量のバランスにより値が変化する。例えば、図 3.11 に示すアルミニウム合金ブロック (209W/mK, 50mm × 50mm × 5.0mm) の底面の中央に 10mm 角の均一発熱エリアが存在し、上面全体が第 3 種境界条件、つまり、ニュートンの冷却法則

$$\dot{Q} = hA(T - T_{Ambient}) \quad (3.15)$$

で冷却され、それ以外の表面は断熱である場合、アルミニウム合金ブロックの底面における発熱部から底面全体への拡大熱抵抗は図 3.12 に示すように熱伝達率によって値が変動する。ここで  $h$  は冷却面における熱伝達率、 $A$  は冷却面の面積、 $T_{Ambient}$  は周囲温度である。熱抵抗値は、熱伝達率がゼロ近傍と無限大でそれぞれ異なる値に収束しており、上面に設定する熱伝達率の値によって、その間の値を採っている。つまり、この両極の値に有意な差がある場合には、拡大熱抵抗は境界条件によって変動する値として扱うべきである。

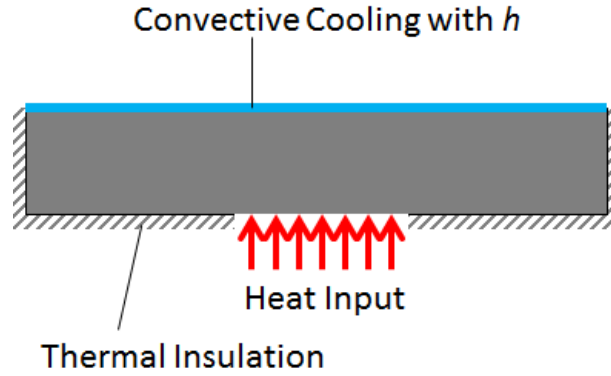


Figure 3.11 Cross-Sectional View of Aluminum Alloy Block.

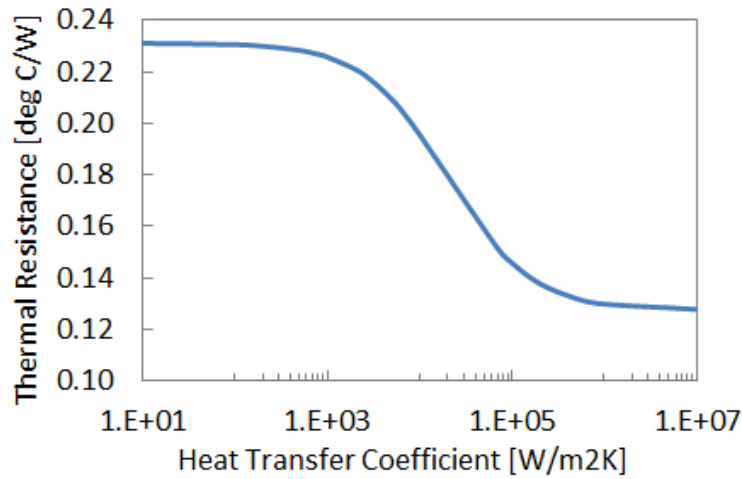


Figure 3.12 Thermal Spreading Resistance Variation with Heat Transfer Coefficient.

### 3.3.2 シミュレーション条件

本節では、図 3.13 に示すマイクロプロセッサパッケージを対象として以下の 3 次元熱伝導方程式を有限体積法を用いて離散化し、3 次元定常熱伝導シミュレーション [3-3]を実施する。

$$\frac{\partial}{\partial x} \left( k_x \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left( k_y \frac{\partial T}{\partial y} \right) + \frac{\partial}{\partial z} \left( k_z \frac{\partial T}{\partial z} \right) = 0 \quad (3.16)$$

ここで、 $k_x$ ,  $k_y$ ,  $k_z$ はそれぞれ  $x$ ,  $y$ ,  $z$  方向の熱伝導率、 $T$ は温度である。

実際の半導体製品のモデルは寸法や熱伝導率などが一般公開されている例は少なく、詳細な議論を行うことが難しい。そこで、本節では、表 3.1 に示すように、特定の製品とは直接関連しないマイクロプロセッサパッケージモデルを定義し、それを用いて詳細な議論を行うこととする。

実際のマイクロプロセッサを採用するシステムでは、シリコンダイ上面にはサーマルグリース等の TIM が塗布され、その上に放熱機構が装着される。また、マイクロプロセッサパッケージは半田ボールでマザーボード上に実装される。本節では、マイクロプロセッサのこれらの境界面の状態を定量的に示

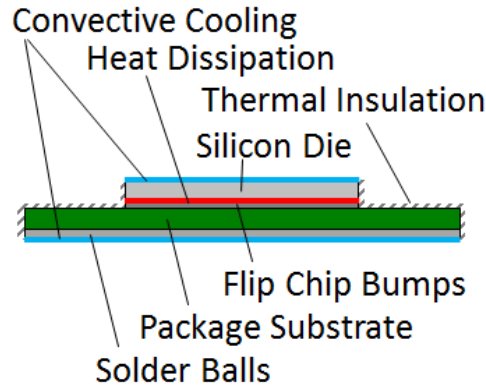
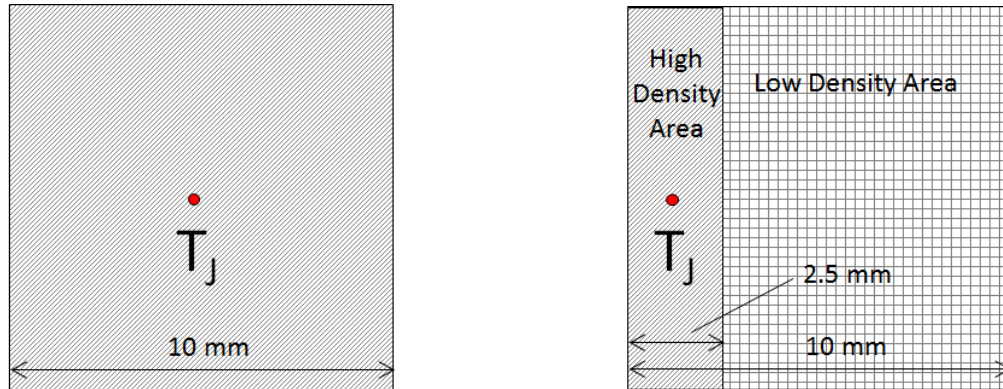


Figure 3.13 Side View of Microprocessor Package Model Region.

Table 3.1 Dimension and Thermal Conductivity of Generic Microprocessor Package Model.

Part	Dimension	Thermal Conductivity
Silicon Die	10 x 10 x 0.80 mm	120 W/mK
Flip Chip Bumps	10 x 10 x 0.10 mm	10 W/mK
Package Substrate	20 x 20 x 0.70 mm	30 W/mK (Horizontal) 1.0 W/mK (Vertical)
Solder Balls	20 x 20 x 0.40 mm	0.026 W/mK (Horizontal) 10 W/mK (Vertical)



(a) Uniform Heat Distribution.

(b) Non-uniform Heat Distribution.

Figure 3.14 Heat Distribution along Silicon Die Circuit.

すため、放熱機構やマザーボードをモデル領域に含めるのではなく、シリコンダイ上面及び半田ボール層底面において式 (3.15) のニュートンの冷却法則が成り立つものとして、それぞれ一様な熱伝達率を設定することとした。シリコンダイ上面にはヒートスプレッドを用いた自然空冷からファン付きヒートシンクや RHE といった放熱機構による強制空冷を想定して、 $500\text{W/m}^2\text{K}$ 、 $1000\text{W/m}^2\text{K}$ 、 $5000\text{W/m}^2\text{K}$ 、 $10000\text{W/m}^2\text{K}$  の 4 種類の熱伝達率を設定する。一方、半田ボール層底面に設定する熱伝達率は  $100\text{W/m}^2\text{K}$  からシリコンダイ上面に設定した熱伝達率まで変化させる。なお、シリコンダイ上面、半田ボール層底

面における周囲温度は同一の値を用いる．それ以外の部材表面はすべて断熱とする．

マイクロプロセッサは，シリコンダイ底面において面発熱するものとし，まず最初に均一発熱の場合について，次に均一発熱でない場合について議論を進める．均一発熱の場合には，図 3.14 (a)に示す通り，シリコンダイ底面中心をホットスポットとしてジャンクション温度を定義する．一方，均一発熱でない場合については，図 3.14 (b)に示す通り，シリコンダイのうち，1/4 のエリアを高発熱密度エリア，それ以外を低発熱密度エリアとして異なる発熱密度を設定する．高発熱密度エリアと低発熱密度エリアの発熱量が半分ずつ（50% / 50%ケース）と 3:1（75% / 25%ケース）の場合について，3 次元定常熱伝導シミュレーションを実施する．なお，均一発熱でない場合，高発熱密度エリア中心をホットスポットとしてジャンクション温度  $T_J$  を定義する．

図 3.9 の熱回路網に示す熱抵抗のうち，マイクロプロセッサパッケージの境界の状態によって値が変動するのはパッケージサブストレート上面における拡大熱抵抗  $\theta_{Pkg-spreading}$  及びシリコンダイ底面における局所熱抵抗  $\theta_{Die-local}$  である．そのため，シミュレーション結果として得られる温度及び伝熱量からこれらの熱抵抗値を算出し，境界の状態の違いによる値の変動について確認する．

### 3.3.3 シリコンダイ底面における発熱が均一である場合の熱抵抗値の変動

拡大熱抵抗  $\theta_{Pkg-spreading}$  はシリコンダイ上面に設定する熱伝達率による値の変動が軽微であり，半田ボール層底面に設定する熱伝達率によってのみ有意に値が変動する．この結果は，シリコンダイ底面における発熱が均一である場合には，拡大熱抵抗  $\theta_{Pkg-spreading}$  は，シリコンダイ上に装着する放熱機構の違いによる値の変動が軽微で，主にマザーボードサイズ等下方の伝熱経路の状態によって値が変動することを示唆している．シリコンダイ底面における発熱が一樣である場合には，その温度勾配も相対的に小さいため，上方の伝熱経路における冷却の影響が下方の伝熱経路にほとんど影響を与えていないためであると考えられる．シリコンダイ上面に  $10000\text{W/m}^2\text{K}$  を設定し，半田ボール層底面に設定する熱伝達率を変化させた際の拡大熱抵抗  $\theta_{Pkg-spreading}$  の変動を図 3.15 に示す．

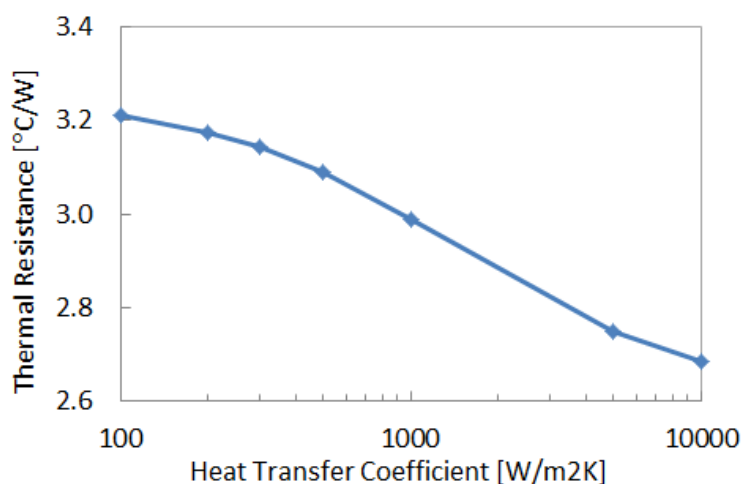


Figure 3.15 Thermal Spreading Resistance Variation with Heat Transfer Coefficient along Solder Ball Layer Bottom.

シリコンダイ上面に設定する熱伝達率を固定し、半田ボール層底面に設定する熱伝達率を変化させた際の局所熱抵抗  $\theta_{Die-local}$  の変動を図 3.16 に示す。局所熱抵抗  $\theta_{Die-local}$  は絶対値は小さいものの、シリコンダイ上面及び半田ボール層底面に設定する熱伝達率によって値が変動する。局所熱抵抗  $\theta_{Die-local}$  が、半田ボール層底面に設定する熱伝達率だけでなくシリコンダイ上面に設定する熱伝達率によっても値が変動するのは、上方の伝熱経路の状態によって、シリコンダイ底面の発熱面における温度勾配が影響を受けるためである。

### 3.3.4 シリコンダイ底面における発熱が均一でない場合の熱抵抗値の変動

シリコンダイ上面に設定する熱伝達率を固定し、半田ボール層底面に設定する熱伝達率を変化させた際の 50% / 50% ケース、75% / 25% ケースにおける拡大熱抵抗  $\theta_{pkg-spreading}$  の変動を図 3.17 及び図 3.18 に示す。均一発熱の場合とは異なり、拡大熱抵抗  $\theta_{pkg-spreading}$  は、半田ボール層底面に設定する熱伝達率だけで

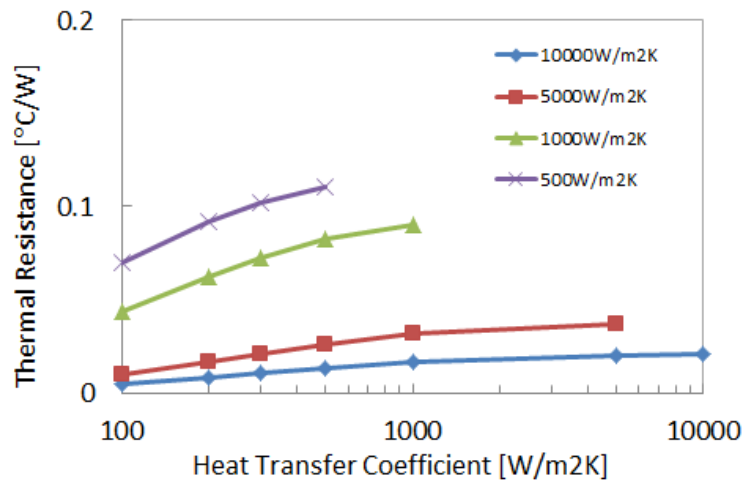


Figure 3.16 Thermal Local Resistance Variation with Heat Transfer Coefficient.

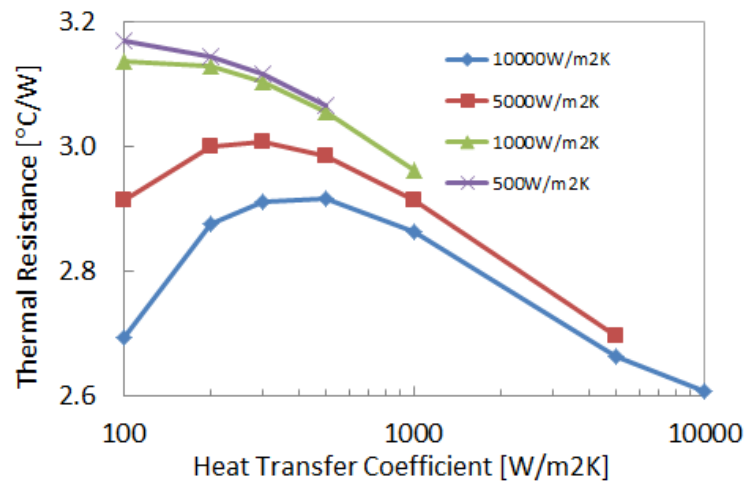


Figure 3.17 Thermal Spreading Resistance Variation for 50% / 50% Case with Heat Transfer Coefficient.



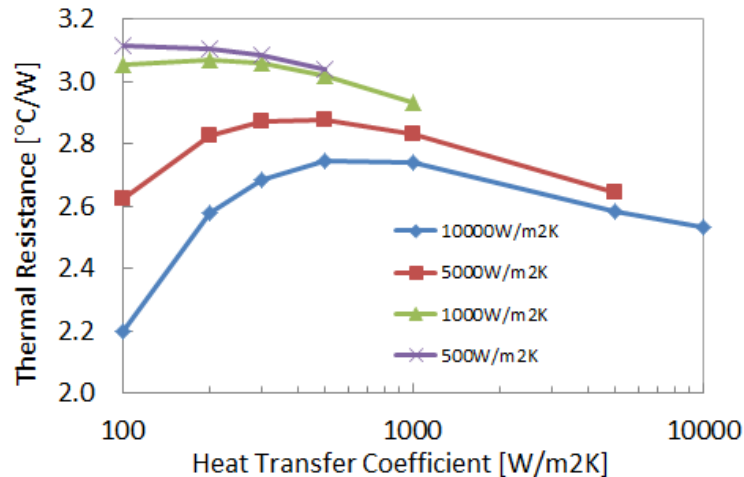


Figure 3.18 Thermal Spreading Resistance Variation for 75% / 25% Case with Heat Transfer Coefficient.

なく、シリコンダイ上面に設定する熱伝達率によっても変動する。シリコンダイ上面に設定する熱伝達率が大きいほど、拡大熱抵抗  $\theta_{pkg-spreading}$  は小さくなる。また、図 3.15, 図 3.17, 図 3.18 を比較すると、発熱分布に偏りが出るほど、拡大熱抵抗  $\theta_{pkg-spreading}$  は相対的に小さくなることが分かる。なお、図 3.17, 図 3.18 では、シリコンダイ上面に設定する熱伝達率が 5000W/m²K, 10000W/m²K の場合に拡大熱抵抗  $\theta_{pkg-spreading}$  は上に凸の形状をとる。これは上方及び下方の伝熱経路に流れる伝熱量の割合が変化するため生じるもので、上記の条件では、半田ボール層底面に設定する熱伝達率が小さいと、下方の伝熱経路に流れる伝熱量が極端に少なく、シリコンダイ上面に設定した熱伝達率による冷却効果が強く出るのに対して、半田ボール層底面に設定する熱伝達率が大きくなるにつれて、その影響が薄まり、半田ボール層底面に設定する熱伝達率による冷却効果が強くなるためである。

シリコンダイ上面に設定する熱伝達率を固定し、半田ボール層底面に設定する熱伝達率を変化させた際の 50% / 50% ケース, 75% / 25% ケースにおける局所熱抵抗  $\theta_{Die-local}$  の変動を図 3.19 及び図 3.20 に示す。局所熱抵抗  $\theta_{Die-local}$  は半田ボール層底面に設定する熱伝達率による影響は軽微であり、主にシリコンダイ上面に設定する熱伝達率によって変動することが分かる。また、図 3.16, 図 3.19, 図 3.20 を比較すると、発熱分布に偏りが出るほど、局所熱抵抗  $\theta_{Die-local}$  は大きくなることが分かる。

### 3.3.5 定常状態における熱抵抗値の変動に関する検証のまとめ

本節では、マイクロプロセッサパッケージの上下面における境界の状態、マイクロプロセッサのシリコンダイ底面における発熱分布の違いによる熱抵抗値への影響について検証、考察した。検証の結果、マイクロプロセッサパッケージの上下面における境界の状態やシリコンダイ底面における発熱分布が変化すると、パッケージサブストレート上面における拡大熱抵抗及びシリコンダイ底面における局所熱抵抗の値が変動することが明らかとなった。得られた知見は以下の通りである。

- 均一発熱である場合、パッケージサブストレート上面における拡大熱抵抗はシリコンダイ上面に設定する熱伝達率によらずほぼ一定であり、半田ボール層底面に設定する熱伝達率によってのみ値が変動する。



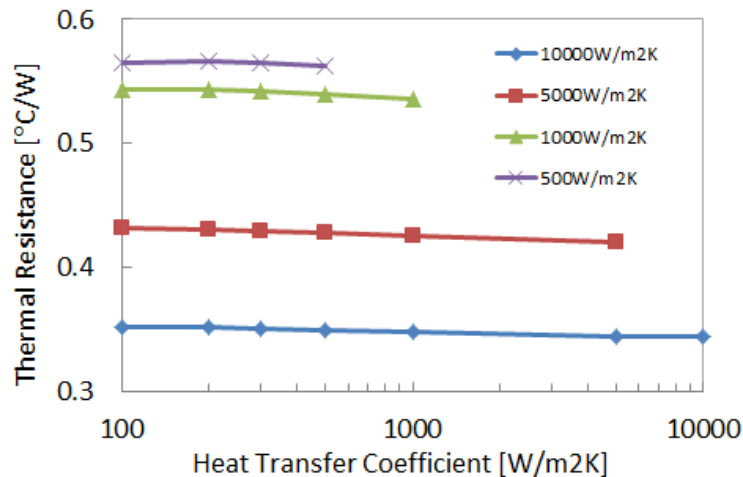


Figure 3.19 Thermal Local Resistance Variation for 50% / 50% Case with Heat Transfer Coefficient.

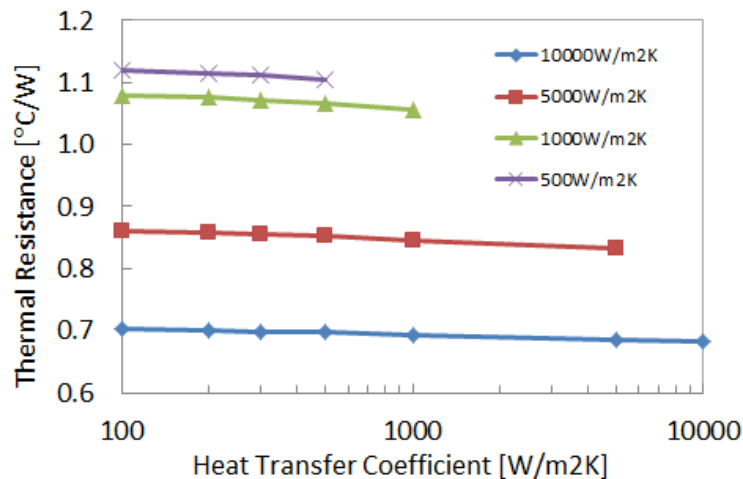


Figure 3.20 Thermal Local Resistance Variation for 75% / 25% Case with Heat Transfer Coefficient.

- 均一発熱でない場合、パッケージサブストレート上面における拡大熱抵抗は、シリコンダイ上面及び半田ボール層底面に設定する熱伝達率の双方に影響を受け、値が変動する。
- 均一発熱である場合、シリコンダイ底面における局所熱抵抗は、シリコンダイ上面及び半田ボール層底面に設定する熱伝達率の双方に影響を受け、値が変動する。
- 均一発熱でない場合、シリコンダイ底面における局所熱抵抗は、半田ボール層底面に設定する熱伝達率による影響は軽微であり、シリコンダイ上面に設定する熱伝達率によって値が大きく変動する。
- シリコンダイ底面における発熱に偏りが生じるほど、パッケージサブストレート上面における拡大熱抵抗は小さな値を採り、シリコンダイ底面における局所熱抵抗は大きな値を採る。

### 3.4 熱回路網による定常温度予測

熱回路網を利用するには、各熱抵抗値を算出する必要がある。前節では、有限体積法による 3 次元定常熱伝導シミュレーション [3-3]により熱抵抗値を算出したが、本節では、フーリエ級数による解析解の繰り返し計算により各熱抵抗値を算出する手法を提案し、定常状態における小型電子機器筐体内の温度予測を実施する。

#### 3.4.1 境界条件の違いによる拡大熱抵抗、局所熱抵抗の変動

各部材の熱抵抗値は式 (3.8) から求めることができる。一方、式 (3.12) 及び式 (3.14) で定義される拡大熱抵抗及び局所熱抵抗は、各部材の境界の状態によって値が変動する。一般に、伝熱経路途中における部材間境界の温度勾配と熱流束の関係は複雑であるため、拡大熱抵抗や局所熱抵抗を求めるには、有限体積法、有限差分法、有限要素法等を用いて、伝熱経路全体を離散化して解く必要が生じる。しかし、図 3.12 に示したように境界条件さえ決まれば熱抵抗値も決まるため、その部材において、熱の流れの上流側表面の伝熱量が既知で、下流側表面の温度勾配と熱流束の関係をシンプルに与えることができれば、部材ごとに独立して熱抵抗値を求めることが可能になり、伝熱経路の離散化を行わずに温度予測が可能となる。

#### 3.4.2 繰り返し計算による拡大熱抵抗、局所熱抵抗の算出方法

本節では、部材の下流側表面の温度勾配と熱流束の関係をシンプルに与えるため、下流側の境界の状態を第 3 種境界条件で近似する (図 3.21) [3-12, 3-13]。上流側の部材表面については熱流束、下流側の部材表面については熱伝達率を境界条件として与える。なお、上流端及び下流側の部材表面は内側及び外側の 2 つのエリアに分割する。また、シリコンダイがその底面において均一発熱でない場合には、その影響について加味するため、必要に応じて、内側のエリアをさらに複数のサブエリアに分割する。上流端についてはエリアごとに異なる熱流束を、下流端については一様な熱伝達率を与えるが、エリアごとに伝熱量を求められるようにしておく。下流端でエリアごとに求めた伝熱量は隣接する部材の上流端表面に与える熱流束として使用する。また、同一エリア内は均一発熱であるとして、熱流束を伝熱量から求める。

各部材に適用すべき見かけ上の熱伝達率は既知ではなく、実際の温度勾配、伝熱量を代表する適切な値を求める必要がある。そこで、本節では、熱の流れの上流から下流に向かって順方向に仮決めした熱伝達率を用いて各部材境界の温度勾配を計算し、その後、下流側の温度勾配から上流側に向かって、部材境界の温度勾配が一致するよう熱伝達率を求め直す繰り返し計算によって、各部材に与える熱伝達率を決定する [3-12, 3-13]。図 3.22 に各部材の見かけ上の熱伝達率を決定する際のフローチャートを示す。

見かけ上の熱伝達率決定後、伝熱経路内の各拡大熱抵抗、局所熱抵抗を見かけ上の熱伝達率を用いて算出する。なお、局所熱抵抗  $\theta_{Die-local}$  は、シリコンダイ及びフリップチップバンパ層の双方から値が得られる。これら 2 つの熱抵抗は並列抵抗と見なすことができるため、シリコンダイから求めた局所熱抵抗を  $\theta_{Die-local-Die}$ 、フリップチップバンパ層から求めた局所熱抵抗を  $\theta_{Die-local-FCBump}$  とすると、局所熱抵抗  $\theta_{Die-local}$  は以下の式から求めることができる。

$$\frac{1}{\theta_{Die-local}} = \frac{1}{\theta_{Die-local-Die}} + \frac{1}{\theta_{Die-local-FCBump}} \quad (3.17)$$

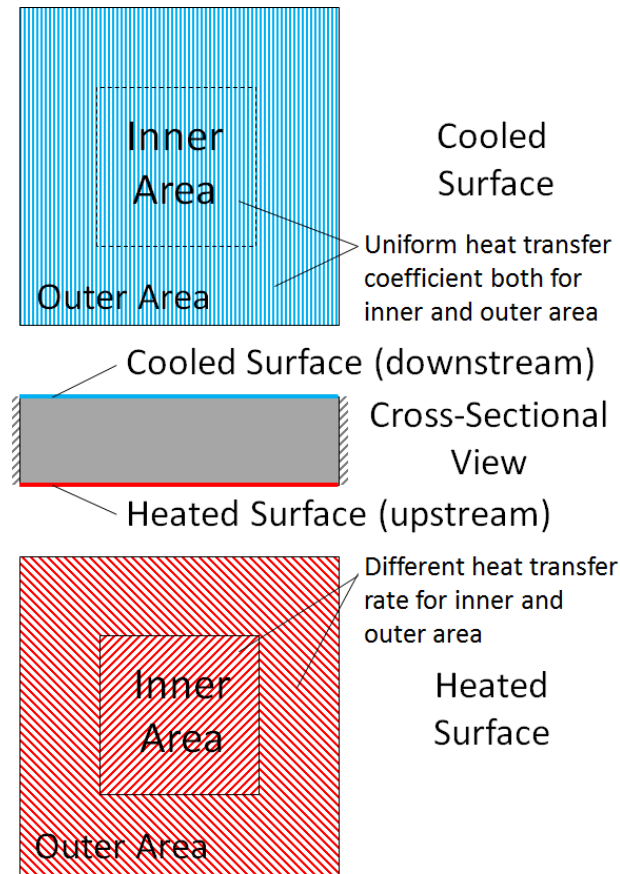


Figure 3.21 Simplified Boundary Condition Model.

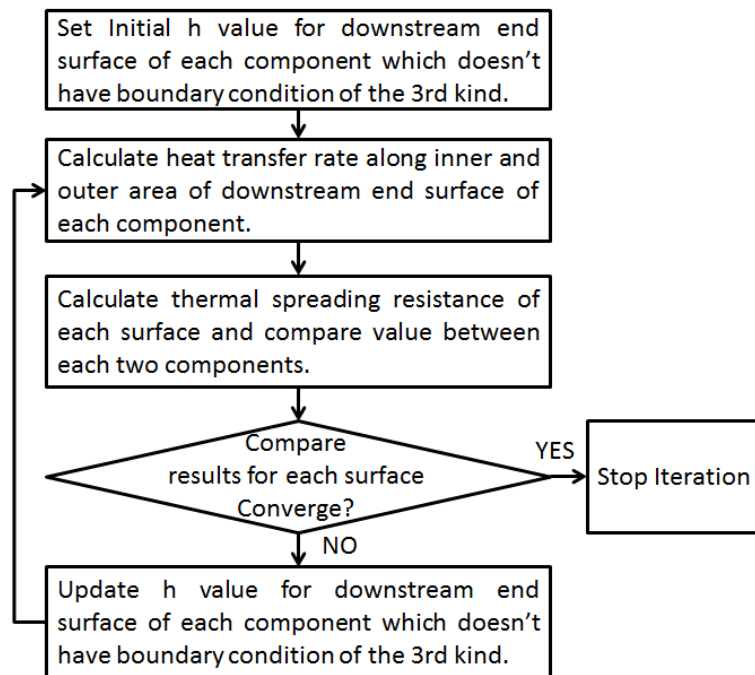


Figure 3.22 Flow Chart of Iterative Calculation.

### 3.4.3 解析解を用いた熱抵抗値の算出

発熱面及び冷却面である直方体の両端面における温度分布は変数分離法により求めることができる．Y.S. Muzychka ら [3-34]は複数の発熱源がある場合について重ね合わせを用いて解を示した．その解より、各部材の両端面における拡大熱抵抗は以下の式から求めることができる [3-12, 3-13].

$$\theta_{spreading} = \sum_{i=1}^N (\theta_i \cdot \dot{Q}_i) / \sum_{i=1}^N \dot{Q}_i \quad (3.18)$$

ここで,

$$\begin{aligned} \theta_i = & \frac{8}{abk_{eff}} \\ & \times \left\{ \sum_{m=1}^{\infty} f(\lambda_m, X_i, c_i) f(\lambda_m, X_{inner}, c_{inner}) g(\lambda_m) \right. \\ & + \sum_{n=1}^{\infty} f(\delta_n, Y_i, d_i) f(\delta_n, Y_{inner}, d_{inner}) g(\delta_n) \\ & + 8 \sum_{m=1}^{\infty} [f(\lambda_m, X_i, c_i) f(\lambda_m, X_{inner}, c_{inner}) \\ & \quad \times f(\delta_n, Y_i, d_i) f(\delta_n, Y_{inner}, d_{inner}) g(\beta_{mn})] \left. \right\} \end{aligned} \quad (3.19)$$

$$k_{eff} = \sqrt{k_{xy} k_z} \quad (3.20)$$

$$\lambda_m = \frac{m\pi}{a} \quad (3.21)$$

$$\delta_n = \frac{n\pi}{b} \quad (3.22)$$

$$\beta_{mn} = \sqrt{\lambda_m^2 + \delta_n^2} \quad (3.23)$$

$$f(\xi, X, d) = \frac{1}{\xi d} \cos(\xi X) \sin\left(\frac{1}{2} \xi d\right) \quad (3.24)$$

$$g(\xi) = \begin{cases} \frac{1}{\xi \phi(\xi)} & \text{(for heated surface)} \\ \frac{1}{\xi \phi(\xi)} [\cosh(\xi l_{eff}) - \phi(\xi) \sinh(\xi l_{eff})] & \text{(for cooled surface)} \end{cases} \quad (3.25)$$

$$\phi(\xi) = \frac{\xi \sinh(\xi l_{eff}) + \frac{h}{k_{eff}} \cosh(\xi l_{eff})}{\xi \cosh(\xi l_{eff}) + \frac{h}{k_{eff}} \sinh(\xi l_{eff})} \quad (3.26)$$

$$l_{eff} = l \sqrt{k_{xy} / k_z} \quad (3.27)$$

“Inner Area”は式 (3.9) における  $\bar{T}_{kp}$  に対応するエリアである．図 3.23 に  $N=5$  の場合を示す．なお、冷却面において“Inner Area”を通過する伝熱量は以下の式から求めることができる．

$$\dot{Q}_{inner} = hA_{inner} \left( \theta_{spreading} + \frac{1}{hA_{inner}} \right) \quad (3.28)$$

#### 3.4.4 マイクロプロセッサシステムの定常温度予測への適用

図 3.1 に示すファン付きヒートシンクを装着したマイクロプロセッサシステムの定常温度予測を繰り返し計算による手法を用いて実施し、その有効性について検証する。モデル領域は、マイクロプロセッサパッケージ、サーマルグリース層 ( $10 \times 10 \times 0.02$  mm,  $1.0$  W/mK)、ファン付きヒートシンクのベース部及びマザーボードであり、ファン付きヒートシンクのファン及びフィン部はモデル化せず、ヒートシンクのベース部上面に熱伝達率を与える (図 3.24)。マイクロプロセッサのパッケージモデルは表 3.1、ヒートシンクベース及びマザーボードにおける境界条件、サイズ、熱伝導率は表 3.2 に示す通りである。それ以外の部材表面は断熱として取り扱うものとする。

##### 3.4.4.1 均一発熱の場合

マイクロプロセッサのシリコンダイ底面における発熱を一様発熱とした場合の各伝熱経路に属する熱抵抗を求める。 $\theta_{Die}$ ,  $\theta_{TIM}$ ,  $\theta_{FCBump}$ ,  $\theta_{PkgSub}$  及び  $\theta_{PkgBall}$  については、部材の熱抵抗の式 (3.8) から繰り返し計算を行わずに求めることができる。また、 $\theta_{HS}$  及び  $\theta_{Brd}$  については、部材の熱抵抗の他、部材表面にお

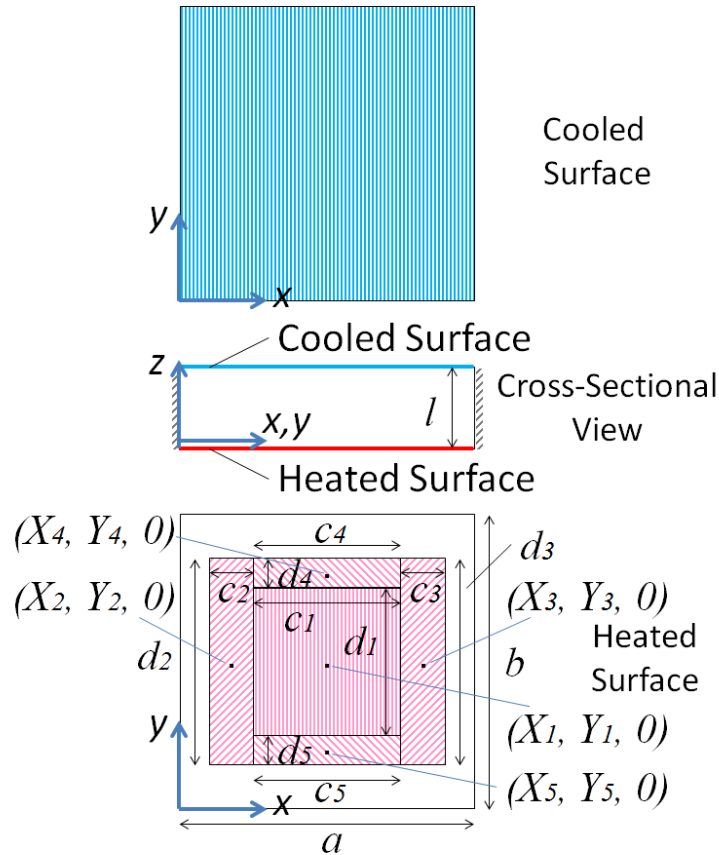


Figure 3.23 Heated and Cooled Cuboid.

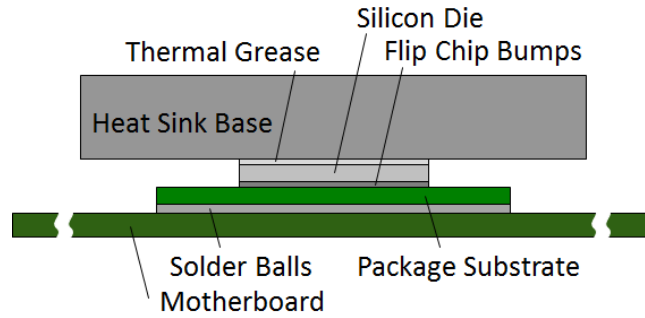


Figure 3.24 Model Region of “Heat Sink Fan” Case.

Table 3.2 Dimensions, Thermal Conductivity and Heat Transfer Coefficient of Boundary Components.

Boundary Component	Heat Sink Base	Motherboard
Dimension	50 x 50 x 5.0 mm	150 x 150 x 1.6 mm
Thermal Conductivity	209 W/mK	30 W/mK (Horizontal) 0.45 W/mK (Vertical)
Convective Cooling	Top Surface	Bottom Surface
	200 W/m <sup>2</sup> K	5.0 W/m <sup>2</sup> K
Base Temperature	Room Ambient	

る熱伝達による熱抵抗も含むため、以下の式で求める。

$$\theta = \frac{l}{k_{\text{material}} A} + \frac{1}{hA} \quad (3.29)$$

本手法では、各部材に与える見かけ上の熱伝達率を求める必要があり、熱の流れの上流から下流に向けて、伝熱経路ごとに繰り返し計算を行う必要がある。ただし、今回対象とするマイクロプロセッサシステムの上方の伝熱経路については、シリコンダイよりも断面積が大きい部材はヒートシンクのベース部のみであり、かつ、シリコンダイ底面における発熱が均一であるため、ヒートシンクのベース部底面のシリコンダイサイズのエリアに与える熱流束も均一と仮定できる。そのため、繰り返し計算は必要なく、 $\theta_{HS\text{-spreading}}$  はヒートシンクのベース部上流端表面のうち、シリコンダイサイズのエリアに与える均一な熱流束、下流端表面に与える既知の熱伝達率から即座に求めることができる。一方、下方の伝熱経路については、シリコンダイよりも断面積が大きいパッケージサブストレート、半田ボール層、マザーボードの3つの部材が存在する。この場合、パッケージサブストレート上面のシリコンダイサイズのエリアに与える熱流束を均一と仮定したとしても、 $\theta_{Pkg\text{-spreading}}$  及び  $\theta_{Brd\text{-spreading}}$  を求めるには、パッケージサブストレート及び半田ボール層の底面に与える見かけ上の熱伝達率を決定する必要があり、繰り返し計算が必要となる。本検証では、2つの部材間における熱抵抗値の変動が 0.0001 °C/W 未満になるまで繰り返し計算を行った。

局所熱抵抗  $\theta_{Die\text{-local}}$  についても拡大熱抵抗と同様に、Y. S. Muzychka ら [3-34] が示した解析解から導くことが可能である。しかし、シリコンダイ底面における発熱が均一な場合には、熱伝達率の値によらず、 $\theta_{Die\text{-local}}$  は非常に小さい値を採り、ほぼゼロとみなすことができる。そこで、本ケースでは、局所熱抵抗については計算せず、ゼロとして扱った。

図 3.25 及び図 3.26 に上方及び下方の伝熱経路に属する各熱抵抗の計算結果を示す. “Iterative Calculation” による計算結果を有限体積法による 3 次元定常熱伝導シミュレーション [3-3] の結果 “3D Conduction” と比較すると, 非常に良い一致が見られた. そのとき, パッケージサブストレート底面及び半田ボール層底面における熱伝達率はそれぞれ  $436.2 \text{ W/m}^2\text{K}$ ,  $425.4 \text{ W/m}^2\text{K}$  であった.

ジャンクション温度  $T_j$  の温度上昇は, マイクロプロセッサが 10W 発熱時, “Iterative Calculation” による計算結果では  $22.46^\circ\text{C}$ , “3D Conduction” の結果では  $22.64^\circ\text{C}$  であり, 本手法は 3 次元定常熱伝導シミュレーションと同等の精度で温度予測が可能であると言える.

#### 3.4.4.2 均一発熱でない場合

マイクロプロセッサのシリコンダイ底面における発熱が図 3.14 (b) のように均一でない場合について, 各伝熱経路の熱抵抗を求める. ここでは, 高発熱密度エリアと低発熱密度エリアの発熱量が半分ずつであるとする.  $\theta_{Die}$ ,  $\theta_{TIM}$ ,  $\theta_{FCBump}$ ,  $\theta_{PkgSub}$ ,  $\theta_{PkgBall}$ ,  $\theta_{HS}$  及び  $\theta_{Brd}$  については, 均一発熱ケースと同様に式 (3.8), 式 (3.29) から求めることができる.

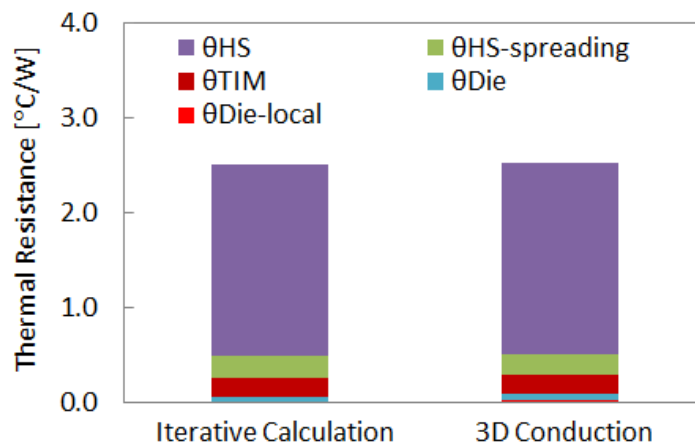


Figure 3.25 Thermal Resistance Comparison along Upper Heat Transfer Path with Uniform Heat Distribution.

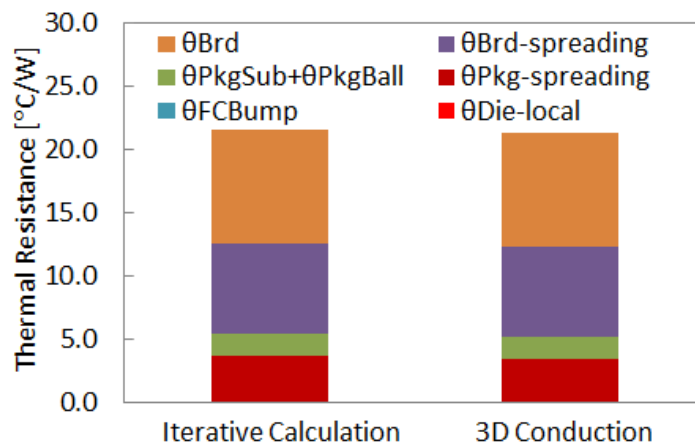


Figure 3.26 Thermal Resistance Comparison along Lower Heat Transfer Path with Uniform Heat Distribution.

本手法では、各部材に与える見かけ上の熱伝達率を求める必要があるため、熱の流れの上流から下流に向けて、伝熱経路ごとに繰り返し計算を行う必要がある。上方の伝熱経路については、シリコンダイ、サーマルグリース層、ヒートシンクベースの上面に与える見かけの熱伝達率を求める必要がある。そのため、図 3.21 の“Inner Area”を図 3.14 (b)に合わせて 2 つに分割し、各部材の上流端に与える熱流束を個別に設定することとした。下方の伝熱経路についても同様に、フリップチップバンプ層、パッケージサブストレート、半田ボール層の底面に与える見かけの熱伝達率を求める必要がある。そのため、上方の伝熱経路と同様に、図 3.21 の“Inner Area”を図 3.14 (b)に合わせて 2 つに分割し、各部材の上流端に与える熱流束を個別に設定する必要がある。しかし、本ケースでは計算が複雑になるのを避けるため、フリップチップバンプ層、パッケージサブストレートについてのみ“Inner Area”を 2 つに分割し、残りの半田ボール層、マザーボードの上面に与える“Inner Area”の熱流束は 1 つとして扱うよう簡易化した。

伝熱量と熱伝達率が定まれば、温度勾配や拡大熱抵抗及び局所熱抵抗はフーリエ級数による解析解 [3-34]から求めることができる。局所熱抵抗  $\theta_{Die-local}$  は式 (3.17) から求める。

図 3.27 及び図 3.28 に上方及び下方の伝熱経路に属する各熱抵抗の計算結果を示す。“Iterative Calculation”による計算結果を有限体積法による 3 次元定常熱伝導シミュレーション [3-3]の結果“3D Conduction”と比較すると、均一発熱の場合と同様、非常に良い一致が見られた。そのとき、シリコンダイ上面及び TIM 上面における熱伝達率はそれぞれ  $34184 \text{ W/m}^2\text{K}$ ,  $106638 \text{ W/m}^2\text{K}$  であった。フリップチップバンプ層底面、パッケージサブストレート底面及び半田ボール層底面における熱伝達率はそれぞれ約  $1523.2 \text{ W/m}^2\text{K}$ ,  $390.8 \text{ W/m}^2\text{K}$ ,  $379.5 \text{ W/m}^2\text{K}$  であった。

ジャンクション温度  $T_j$  の温度上昇は、マイクロプロセッサが  $10\text{W}$  発熱時、“Iterative Calculation”による計算結果では  $24.34^\circ\text{C}$ ，“3D Conduction”の結果では  $24.43^\circ\text{C}$  であり、均一発熱でない場合においても、本手法は 3 次元定常熱伝導シミュレーションと同等の精度で温度予測が可能であると言える。

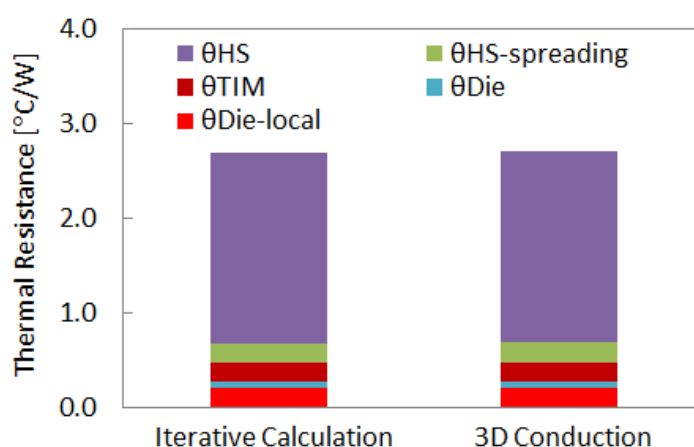


Figure 3.27 Thermal Resistance Comparison along Upper Heat Transfer Path with Non-Uniform Heat Distribution.



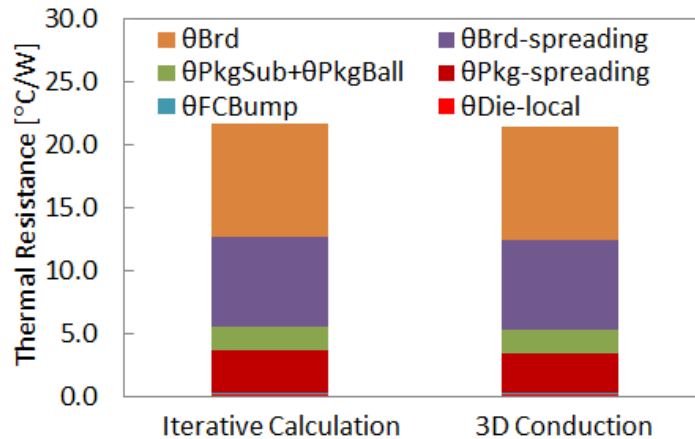


Figure 3.28 Thermal Resistance Comparison along Lower Heat Transfer Path with Non-Uniform Heat Distribution.

### 3.4.5 熱回路網による定常温度予測に関する適用範囲とまとめ

本節では、3.2節で導入した熱回路網を基に、繰り返し演算によって伝熱経路の途中に存在する拡大熱抵抗と局所熱抵抗の算出手法を提案し、その温度予測精度について検証した。計算結果は3次元定常熱伝導シミュレーションによる結果とよく一致した。本節で示した手法は、熱流体シミュレーションソフトウェア [3-3～3-6] が導入されていない、もしくは熱設計を専任で行う技術者がいないといったケースについても有効であると考えられる。一方、3.3節に示した通り、上方及び下方の伝熱経路における見かけ上の熱伝達率によっては、上方の伝熱経路の影響によって、下方の伝熱経路に属するマイクロプロセッサの拡大熱抵抗が変動するケースもある。下方の伝熱経路における総抵抗と比較すると変動幅は小さいが、本手法を用いる際には留意すべきである。本節で得られた知見は以下の通りである。

- 各部材における拡大熱抵抗及び局所熱抵抗は、境界条件を第3種境界条件で近似できる場合、シンプルに表現することができる。
- 繰り返し計算により、マイクロプロセッサのシリコンダイにおけるホットスポット温度を実用的な精度で予測することができる。

## 3.5 非定常状態における熱抵抗の挙動のモデル化

本節では、非定常状態において適切に温度を予測するために必要となる伝熱経路各部の熱抵抗の非定常挙動とそのモデル化について議論する。

### 3.5.1 非定常熱伝導に関する無次元数と非定常解析の必要性

非定常熱伝導では、ビオ数及びフーリエ数 (Fourier number) を用いて議論されることがある [3-35～3.37]。ビオ数は、3.2節で説明した通り、「物体内の熱伝導に対する物体表面の熱伝達の相対的な大きさ」を表す [3-35]。一方、フーリエ数は、

$$Fo = \frac{\alpha t}{L^2} \quad (3.30)$$

で定義される時間の無次元数である．ここで， $\alpha$  は部材の熱拡散率， $t$  は時間， $L$  は代表長さである．

非定常解析を行う場合，熱伝導だけでなく，熱容量による影響についても考慮する必要がある．熱容量は，

$$C_{th} = c\rho V \quad (3.31)$$

と定義され，部材が  $1^\circ\text{C}$  温度上昇するのに必要な熱エネルギーである．ここで， $c$ ， $\rho$ ， $V$  はそれぞれ部材の比熱，密度，体積である．本来，部材の熱容量は分布定数としてモデル化すべきものであるが，ビオ数が  $Bi < 0.1$  の場合には物体内の温度分布を無視して熱容量を集中系として取り扱う集中熱容量モデルで温度予測を行っても数%以内の誤差で収まる [3-36]. 集中熱容量モデルでは，エネルギーバランス式は，

$$c\rho V \frac{dT}{dt} = hA(T - T_{ambient}) \quad (3.32)$$

となり，その解は，

$$T - T_{ambient} = (T_0 - T_{ambient})e^{-FoBi} \quad (3.33)$$

とフーリエ数とビオ数の積の逆数を指数とする非常にシンプルな形式を採る．ここで， $h$ ， $A$  は熱伝達による冷却面の熱伝達率及び面積， $T_{ambient}$  は周囲温度， $T_0$  は部材の初期温度である．一方，放熱機構にはフィンを用いた放熱機構でヒートシンクのベース部が  $Bi < 0.1$  を満たす場合であっても式 (3.33) とは異なる温度遷移となる．フィンの非定常モデル化については，A.1.1 項にて議論する．また，伝熱経路全体では，すべての部材が熱伝達境界を有しているわけではなく，これらの無次元数を用いて議論すること自体が難しい．そのため，一般的には，3次元空間を離散化して有限体積法等で解くといった，式 (3.33) とは異なる非定常状態のモデル化が必要となる．本章では，熱回路網によって非定常温度予測を実施することを目的としているが，非定常温度遷移は，熱容量の他，伝熱経路を構成する拡大熱抵抗，局所熱抵抗の非定常挙動の影響も受ける．そこで，本節では，拡大熱抵抗，局所熱抵抗の非定常挙動について考察し，そのモデル化を行う．

### 3.5.2 拡大熱抵抗の非定常挙動

部材の熱抵抗とは異なり，拡大熱抵抗は非定常時において式 (3.12) より分母と分子のバランスが変わると値が変化する．そのため，一定値として取り扱うと小型電子機器の温度予測において誤差要因となり得る．そこで，本項では，3次元非定常熱伝導シミュレーションを実施して，他の節で取り上げたマイクロプロセッサシステムやアルミニウム合金ブロックにおける拡大熱抵抗の非定常挙動について考察する．

#### 3.5.2.1 マイクロプロセッサシステムのヒートシンクベース底面における拡大熱抵抗の非定常挙動

図 3.1 に示したファン付きヒートシンクを用いたマイクロプロセッサシステムについて，そのヒートシンクベース底面における拡大熱抵抗の非定常挙動について検証する．マイクロプロセッサは FT1 プロセッサ [3-22] とし，シリコンダイ底面で均一発熱するものとする．モデル領域は図 3.24 に示す領域とし，3次元熱伝導方程式を有限差分法を用いて離散化し，非定常計算を行った温度遷移結果から非定常状態における拡大熱抵抗を算出する [3-38]. フィンの非定常挙動については，A.1.1 項に示す手法を用いる．

定常状態における熱抵抗値  $\theta_0$  で正規化した，ヒートシンクベース底面における拡大熱抵抗の時間遷移

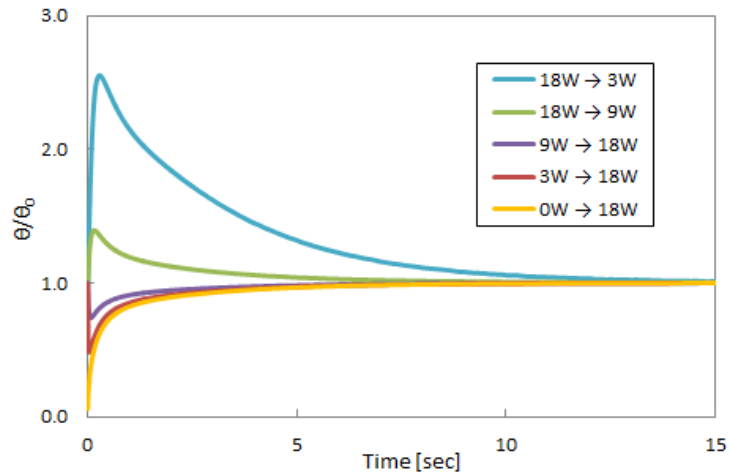


Figure 3.29 Transient Thermal Spreading Resistance along Heat Conduction Path of Microprocessor System.

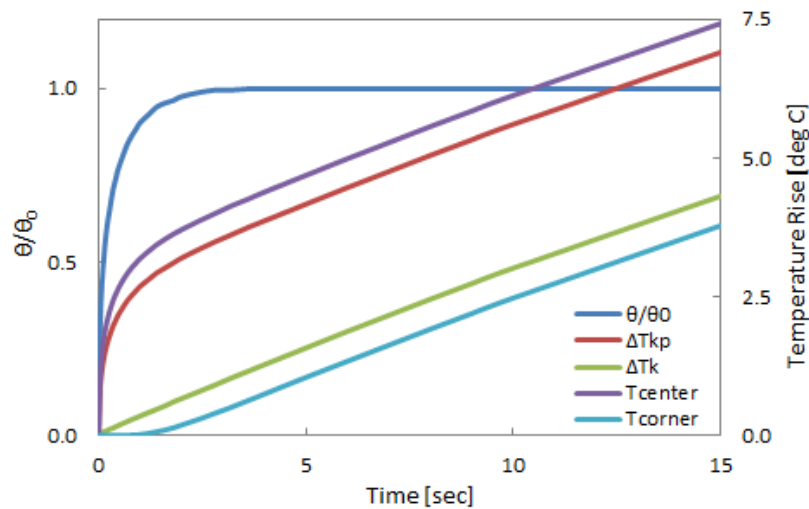


Figure 3.30 Transient Thermal Spreading Resistance with Constant Power from Heat Sink Base Bottom.

$\theta/\theta_0$ を図3.29に示す．例えば，“0W → 18W”は，FT1 プロセッサが0Wの発熱で定常状態に達した後，時刻ゼロ以降，18Wで発熱し続けることを意味する．どのケースにおいても，拡大熱抵抗は，時間経過につれて一定値に収束する．初期状態の発熱量が0Wの場合には，単調増加で一定値に収束する．一方，初期状態の発熱量が0Wでない場合には，拡大熱抵抗は初期値からいったん大きく値が変動し，その後，緩やかに初期値と同じ値に収束していくことが確認された．

### 3.5.2.2 アルミニウム合金ブロック底面における拡大熱抵抗の非定常挙動

続いて，拡大熱抵抗の非定常挙動の原因について考察するため，図3.11のアルミニウム合金ブロックをモデル領域とする，より単純なモデルで3次元非定常熱伝導シミュレーションを実施することとした．時刻ゼロ以降，アルミニウム合金ブロック底面のうち3.5.2.1で対象としたFT1プロセッサのシリコンダ

イにあたるエリアに 18W に相当する一様な熱流束を、アルミニウム合金ブロック上面には一定の熱伝達率を与え、それ以外は断熱とした。

アルミニウム合金ブロック底面の伝熱量は常に一定 (18W) であるため、式 (3.12) より、2 つの平均温度  $\bar{T}_{kp}$  及び  $\bar{T}_k$  の温度差が変化するとき、拡大熱抵抗の値も変化する (図 3.30)。つまり、拡大熱抵抗はアルミニウム合金ブロック底面における熱の 2 次元的な拡がりを表現しており、平面内で熱が拡がっている間、値が変化する [3-38]。

次に、拡大熱抵抗の値の変動による温度予測への影響について考察する。拡大熱抵抗による温度差は 18W 発熱時、定常状態において約 5℃に達する。一方、時刻ゼロにおいて拡大熱抵抗値はゼロであり、収束値を用いて温度予測を行うと発熱初期において約 5℃の見積もり誤差が発生することになる。また、図 3.29 と図 3.30 を比較すると、図 3.29 のほうが拡大熱抵抗の収束に時間がかかっていることが分かる。図 3.24 に示されたモデルでは、放熱経路がヒートシンク側及びマザーボード側の 2 つあり、ヒートシンクのベース部底面における伝熱量が一定でないこと、ヒートシンクのフィン効率が時々刻々と変化するものが原因と考えられる。

### 3.5.2.3 拡大熱抵抗の非定常挙動に関するまとめ

以上、3 次元非定常熱伝導シミュレーションを実施し、その結果を用いて電子機器における拡大熱抵抗の非定常挙動について検証し、温度予測への影響について考察した。得られた知見は以下の通りである。

- 拡大熱抵抗は、ヒートシンク底面における平面内での熱の拡がりを表現しており、熱が拡がっている間、値が変化する。
- 拡大熱抵抗を一定値として扱うと、非定常解析において温度予測誤差が生じる。
- 実システムでは放熱経路が複数存在し、各放熱経路に流れる伝熱量は時々刻々と変化するため、拡大熱抵抗の値が収束するまでにかかる時間は伝熱量が一定である場合と比較して長くなる。

### 3.5.3 拡大熱抵抗の非定常挙動のモデル化

熱抵抗は、本来、物体の幾何学的形状及び材質で決まるが、拡大熱抵抗はその定義より非定常状態において見かけ上値が変化する。前項では、3 次元非定常熱伝導シミュレーションを用いて、その挙動について検証したが、初期状態の伝熱量の違いによって、拡大熱抵抗は異なる非定常挙動を示すことが判明した。また、検証を実施したシステムでは、定常状態における拡大熱抵抗による温度差が 5℃に達するケースが存在し、拡大熱抵抗の非定常挙動を考慮せずに定常値を用いて非定常温度予測を実施すると、マイクロプロセッサのシリコンダイ温度の予測に大きな誤差を生じてしまうことが判明した。そのため、実用的な精度でマイクロプロセッサのシリコンダイ温度を予測するには、拡大熱抵抗の非定常挙動を適切に再現する必要がある。そこで、本項では、拡大熱抵抗の非定常挙動を表現するためのモデルを構築し、その有効性について検証する。

#### 3.5.3.1 拡大熱抵抗の非定常挙動に関する既往研究とその課題

拡大熱抵抗の非定常挙動については、M. M. Yovanovich ら [3-39～3-41]が数学的にモデル化を行っている。しかし、そのモデルは時刻ゼロにおいて伝熱量がゼロ、時刻ゼロ以降において伝熱量一定の条件に限定したものであり、伝熱量が時々刻々と変化する電子機器内における非定常挙動を表現することは難

しい。そこで、矢澤ら [3-24]は、伝熱量が変化するケースに対応するため、M. M. Yovanovich ら [3-39]のモデルから非定常状態における温度遷移の曲線を求め、その曲線をフィッティングによって一組の熱抵抗と熱容量として表現する手法を提案した。しかし、その手法では、伝熱経路の構成が一部でも変更されると、その都度、非定常状態における温度遷移の曲線を求める必要があり、その曲線から熱抵抗と熱容量の値も算出し直さなければならない。

非定常状態においてもフーリエの法則は成立するが、その際には熱容量による影響を考慮する必要がある。逆に、それをうまくモデル化できれば、伝熱経路の構成が変更されても拡大熱抵抗が生じる部材に変更がない限り再計算を必要としない手法の構築が可能と考えられる。そこで、本項では、熱容量による影響を考慮しつつ拡大熱抵抗の非定常挙動を 1 次元熱伝導としてモデル化する手法を提案する [3-42]。

### 3.5.3.2 平面内の熱の拡がりを考慮した拡大熱抵抗のモデル化

断面積の異なる部材が接している場合、断面積の小さい部材から大きい部材に熱が流れる際、断面積の大きい部材全体に渡って熱が拡がるため、熱は 3 次元的に流れる (図 3.31)。熱は断面積の大きい部材底面、つまり、拡大伝熱面平面内だけでなく高さ方向にも拡がるため、その底面では外側に向かうにつれて平面方向に流れる伝熱量は少なくなり、端部側面が断熱である場合、端部における平面方向の伝熱量はゼロになる。一方、拡大熱抵抗はその定義より、平面内に拡がる伝熱量ではなく、断面積の小さい部材から大きい部材に流れ込む伝熱量 (以下、定義伝熱量) で温度差を除すことにより求められる。つまり、拡大熱抵抗の非定常挙動は、定義伝熱量が一定であっても平面内の伝熱量は外側に行くにつれて変化し、伝熱によって生じる温度差との比が変化するために生じる。つまり、拡大熱抵抗の非定常挙動を再現するには、定義伝熱量と実際に平面内に流れる伝熱量の比の変化をモデル化できれば良い。そこで、本項では、図 3.32 に示すように拡大伝熱面を中心から外側に向かって離散化することで、拡大熱抵抗の非定常挙動をモデル化することとした [3-42]。

### 3.5.3.3 平面内の離散化表現

本モデルでは、拡大熱抵抗を離散化することで非定常挙動を再現する。つまり、図 3.32 に示すように拡大伝熱面を矩形に分割し、それぞれ色分けされた領域を熱回路網のノードとして設定する (図 3.33)。ここで、各ノードが示す温度は色分けされた領域の平均温度である。これらのノードが直列に接続された熱回路網には、定常状態においては定義伝熱量が流れるものとする。そのため、熱回路網内のすべて

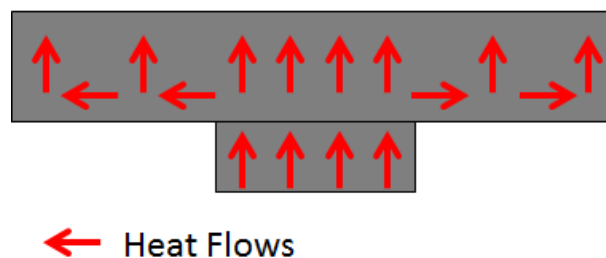


Figure 3.31 Heat Flows in Cross-Sectional View around Contact Area.

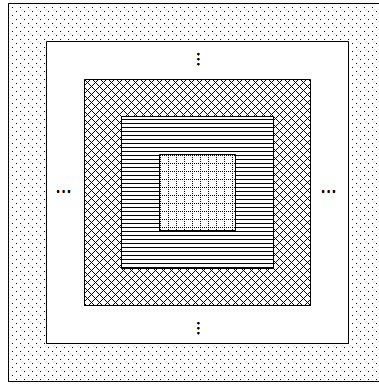


Figure 3.32 Discretization into Several Region.

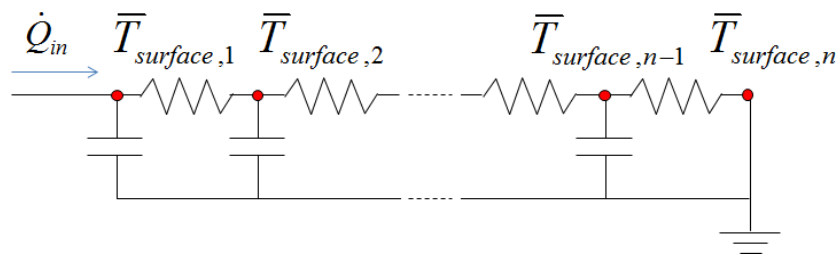


Figure 3.33 Transient Thermal Spreading Resistance Model.

の熱抵抗は拡大熱抵抗と同様、ノード間の温度差を定義伝熱量で除したものとなる。なお、境界条件がシンプルである場合には定常状態における拡大熱抵抗は解析解として得られる [3-34]。その場合、図 3.33 の各ノード間の熱抵抗も解析解から求めることが可能である。

熱容量については、拡大熱抵抗のような概念は存在せず、値を一から求める必要がある。本来、拡大伝熱面平面における熱の流れは平面方向の 2 次元においてフーリエの法則に支配されており、熱容量についても 2 次元平面における値を採っていると考えられる。一方、図 3.33 に示す熱回路網は、定常状態において伝熱量が回路内で同一となるようにモデル化するために、2 次元における本来の熱抵抗値ではなく、ノード間の温度差を定義伝熱量で除した値を用いており、熱容量についても同様の効果を織り込んだ値を設定する必要がある。つまり、図 3.33 に示す熱回路網に設定する熱容量は、2 次元平面における熱容量の値に同一ノードにおける上記 2 つの熱抵抗値の逆比を乗じることで求めることができる。ただし、熱抵抗はノード間、熱容量はノードに設置されるため、厳密には同じ比を用いることはできない。本項では手順の簡素化のため、最初のノードのみ接続する熱抵抗の比をそのまま使い、中間ノードの熱容量を求める際には両隣の熱抵抗の比を平均した値を用いることとした。

拡大熱抵抗値の算出に必要となるのは拡大伝熱面平面全体の平均温度である。平均温度は、図 3.33 の熱回路網で得られた各ノードの温度値の幾何平均として求めることができる。

### 3.5.3.4 拡大熱抵抗の非定常挙動モデルの検証

#### 3.5.3.4.1 アルミニウム合金ブロックによる検証

まずは図 3.11 に示すアルミニウム合金ブロックをモデル領域とする，単純なモデルを用いて検証を進める．時刻ゼロ以前では発熱なし，時刻ゼロ以降，底面中心部  $10 \times 10 \text{ mm}$  の領域にのみ一様な熱入力，アルミニウム合金ブロック上面には一様な熱伝達率 ( $200 \text{ W/m}^2\text{K}$ ) を与え，それ以外は断熱とした．

図 3.34 に提案モデルを用いた拡大熱抵抗の非定常遷移を同条件の有限体積法による商用ソフトウェア FloTHERM [3-3] の 3 次元非定常熱伝導シミュレーション結果 (3D FVM) とともに示す．離散化の影響を確認するため，提案手法についてはそれぞれ 3, 5, 9 ノードで構成した場合について示した．いずれの結果も差は小さく，3D FVM の結果とも比較的良い一致が見られた．なお，ノード数が増えるにつれて本来は精度が改善するはずであるが，図 3.34 では逆に 3D FVM からのずれが大きくなる傾向が見られる．熱容量を求める方法の簡素化が原因の 1 つと考えられる．

#### 3.5.3.4.2 放熱機構を含むモデルによる検証

実際のシステムでは，マイクロプロセッサの発熱量は一定ではない．また，マイクロプロセッサの発熱量が一定であったとしても放熱経路内の熱容量等の影響により，ヒートシンクベース部への伝熱量は一定ではなく，定常状態に達するまで時々刻々と変化する．そこで，図 3.1 に示すマイクロプロセッサシステムについて，3.5.2.1 の 3 次元非定常熱伝導シミュレーションから得られたヒートシンク底面における伝熱量の時間変化を入力として，提案手法による拡大熱抵抗の非定常挙動を確認する．

図 3.35 に 3 ノードで構成した場合の提案手法による拡大熱抵抗の非定常遷移を既報の有限差分法による非定常 3 次元熱伝導シミュレーション結果 (3D FDM) とともに示す．例えば，“ $3\text{W} \rightarrow 18\text{W}$ ”は，マイクロプロセッサが  $3\text{W}$  の発熱で定常状態に達した後，時刻ゼロ以降， $18\text{W}$  で発熱し続けることを意味する．提案手法は，定性的には 3D FDM に近い挙動が得られたが，特に“ $18\text{W} \rightarrow 3\text{W}$ ”では提案手法の温度応答が 3D FDM よりかなり早いことが確認された．これは提案手法において設定した熱容量の値による誤差が高い消費電力状態から低い消費電力状態に移行する際に如実に現れることを示している．

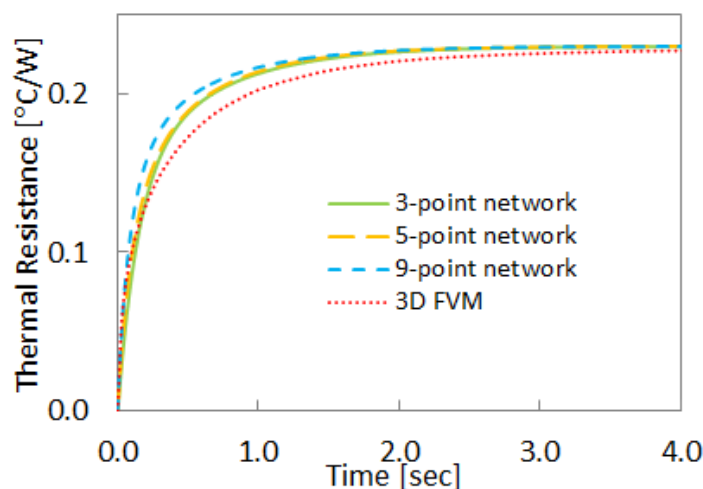


Figure 3.34 Transient Thermal Spreading Resistance at Aluminum Alloy Block Bottom.



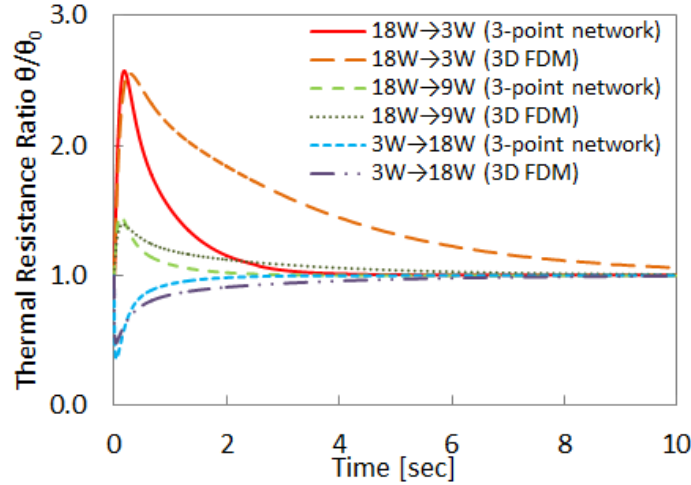


Figure 3.35 Transient Thermal Spreading Resistance along Heat Sink Base Bottom in Microprocessor System.

### 3.5.3.5 拡大熱抵抗の非定常挙動のモデル化に関するまとめ

本項では、熱回路網を用いた非定常温度予測を実施する際に必要となる、拡大熱抵抗の非定常挙動のモデル化について検証，考察した．提案手法では，定性的にはその挙動を再現できることを確認した．特に高い消費電力から低い消費電力に移行する際には，提案手法では 3 次元非定常熱伝導シミュレーションよりも温度応答が速いことが確認された．

## 3.5.4 局所熱抵抗の非定常挙動とそのモデル化

### 3.5.4.1 局所熱抵抗の非定常挙動

局所熱抵抗は，式 (3.14) より分母の発熱量と分子の温度差の比によって値が変化する．そのため，非定常状態では時々刻々と値が変化する．本項では，図 3.36 に示すように，図 3.24 に示したファン付きヒートシンクを用いたマイクロプロセッサシステムのうち，上方の伝熱経路に属するシリコンダイ，TIM，ヒートシンクベース部のみをモデル領域とし，図 3.14 (b)に示す 50% / 50%ケースを用いて議論を進める [3-43]．

まず有限体積法による 3 次元非定常熱伝導シミュレーション [3-3]を実施し，その結果得られる局所熱抵抗の非定常挙動について検証する．シリコンダイ底面が 0W の発熱で定常状態に達した後，時刻ゼロ以降，発熱量一定で発熱し続ける場合の熱抵抗の非定常挙動を図 3.37 に示す．ここで， $\theta_{Die-\delta}$ ， $\theta_{TIM-\delta}$  は水平位置がシリコンダイのホットスポットと同一であるシリコンダイ及び TIM 層の上下面の温度差をその部材に流れ込む伝熱量で除して求めた熱抵抗である．また， $\theta_{TIM-local}$  は TIM 層上面における局所熱抵抗である．

局所熱抵抗  $\theta_{Die-local}$  は拡大熱抵抗  $\theta_{HS-spreading}$  と比較して，非常に早く収束している．局所熱抵抗  $\theta_{Die-local}$  は，シリコンダイ内における温度分布を示しているが，シリコンダイ，TIM を通過する熱の拡がり及び TIM 上面における温度分布の結果として現れるものである．そのため，定常状態において，以下の関係が成り立つ．

$$\theta_{Die-local} = (\theta_{Die-\delta} - \theta_{Die}) + (\theta_{TIM-\delta} - \theta_{TIM}) + \theta_{TIM-local} \quad (3.34)$$



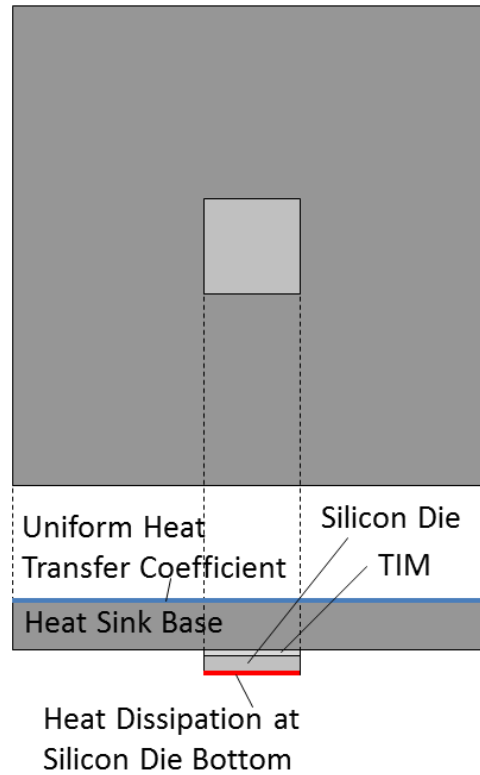


Figure 3.36 Top and Side View of The Target System.

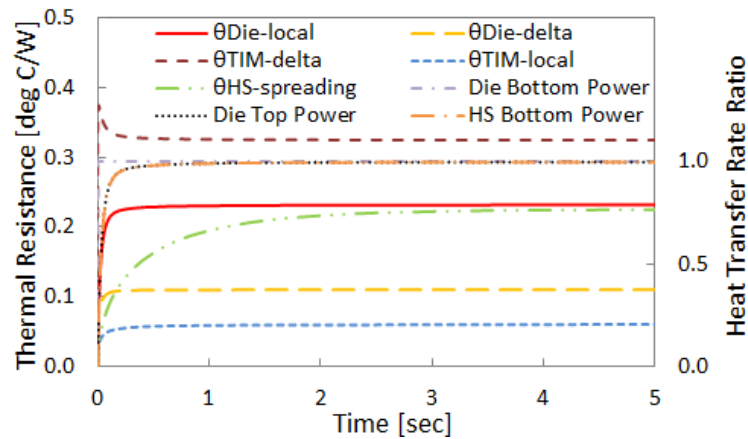


Figure 3.37 Transient Thermal Resistance Behavior.

図 3.37 では、時刻ゼロ近辺で  $\theta_{Die-delta}$ ,  $\theta_{TIM-delta}$ ,  $\theta_{TIM-local}$  の値に急激な変化が見られ、 $\theta_{Die-local}$  より収束が早い。また、シリコンダイ底面における消費電力と比較してシリコンダイ上面及び TIM 上面における伝熱量はその立ち上がりが遅く、非定常遷移中は式 (3.34) の等式が成り立たない。よって、局所熱抵抗  $\theta_{Die-local}$  の非定常挙動をこれらの熱抵抗を用いてモデル化するには、熱抵抗値だけでなく、各所における伝熱量についても考慮する必要があると考えられる。

### 3.5.4.2 非定常状態における局所熱抵抗のモデル化

3.5.4.1 の考察から，各部材を層状に分割し，分割した各部の定常状態における熱抵抗値にその時刻における各部の伝熱量を乗じることで各部の温度上昇が得られ，さらにその総和を消費電力で除すれば熱抵抗値が得られる [3-43].

$$\theta_{Transient} = \frac{\sum_{k=1}^N \theta_k \cdot \dot{Q}_k}{\dot{Q}_{Processor}} \quad (3.35)$$

ここで， $\theta_k$ ， $\dot{Q}_k$ は分割した各所における熱抵抗及び伝熱量である．得られた値を非定常時の  $\theta_{Die-\Delta} - \theta_{Die}$  及び  $\theta_{TIM-\Delta} - \theta_{TIM}$  として式 (3.34) に代入すれば， $\theta_{Die-local}$  が得られる．

本手法の有効性を検証するため，シリコンダイ底面における発熱量を，時刻ゼロ以前とその後で変化させた場合について検証する．本項では，図 3.36 に示すモデル領域について，シリコンダイ，TIM，ヒートシンクベースをそれぞれ 8 層，4 層，32 層に分割して熱回路網を構成し，前項で示した手法で非定常拡大熱抵抗をモデル化する．

本手法による  $\theta_{Die-local}$  の非定常遷移 (TN) を同条件の有限体積法による 3 次元非定常熱伝導シミュレーション [3-3]の結果 (FVM) とともに図 3.38 に示す．例えば，“0W → 40W”は，シリコンダイ底面が 0W の発熱で定常状態に達した後，時刻ゼロ以降，40W で発熱し続けることを意味する．本手法による結果 TN は FVM と良く一致していることが分かる．

### 3.5.4.3 局所熱抵抗の非定常挙動とそのモデル化に関するまとめ

本項では，マイクロプロセッサのホットスポット温度のモデル化を目的として，局所熱抵抗の非定常挙動について考察し，その結果を基に局所熱抵抗の非定常挙動のモデル化を試みた．局所熱抵抗の非定常挙動は，1 秒未満の非常に短い時間で終了する．非定常挙動の考察から局所熱抵抗を複数の熱抵抗の和として表現し，それぞれに流れる伝熱量で重み付けすることで非定常挙動をモデル化した．数値実験により，上記のモデル化による非定常挙動が 3 次元非定常熱伝導シミュレーションの結果と良く一致することを確認した．

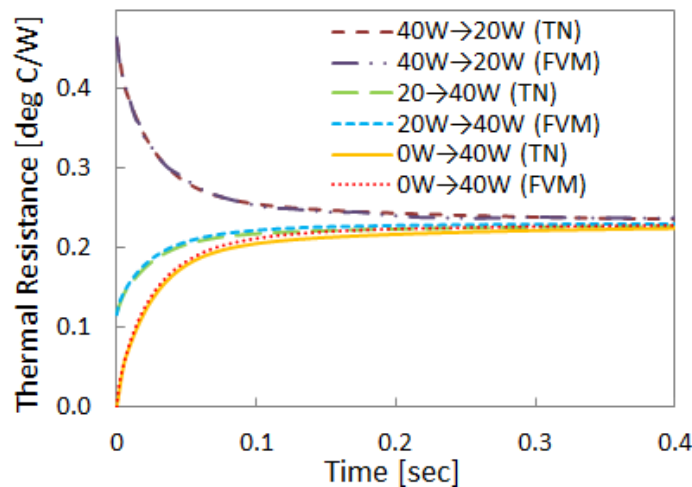


Figure 3.38 Calculation Result of Transient Thermal Local Resistance.

### 3.5.5 非定常状態における熱抵抗の挙動のモデル化に関するまとめ

本節では、非定常状態における拡大熱抵抗、局所熱抵抗の挙動について考察し、それらのモデル化を試みた。

3.5.1 項では、無次元数のみでは、小型電子機器における非定常熱伝導の説明に不充分であることを説明し、3.5.2 項では、電子機器における拡大熱抵抗の時間推移と温度予測への影響について3次元非定常熱伝導シミュレーションを用いて考察し、拡大熱抵抗は、平面内での熱の拡がりを変現しており、一定値として扱うべきではないことが分かった。3.5.3 項では、熱回路網を用いた温度予測を目的として、拡大熱抵抗の非定常挙動をモデル化し、提案手法では、定性的にはその挙動を再現できることを確認した。3.5.4 項では、マイクロプロセッサのホットスポット温度のモデル化を目的として、局所熱抵抗の非定常挙動について考察し、その結果を基に局所熱抵抗の非定常挙動のモデル化を試みた。数値実験により、提案手法による結果が3次元非定常熱伝導シミュレーションの結果と良く一致することを確認した。

## 3.6 熱回路網による非定常温度予測

非定常熱回路網には大きく分けて2種類の表現方法がある。本節では、まず最初にそれらの熱回路網について説明し、3.2 節で導出した熱回路網を拡張した、非定常解析向け熱回路網を導出する。続いて、前節で得られた熱抵抗に関する知見、モデル化手法を用いて、熱回路網による非定常温度予測を実施し、その結果について考察する。

### 3.6.1 非定常状態を表現する Cauer モデルと Foster モデル

非定常状態を熱回路網で表現するには、熱容量の効果を取り込む必要がある。熱抵抗と電気抵抗の関係と同様に、熱容量も電気回路における電気容量との相似性があり、非定常熱回路網には、熱容量の入れ方により Cauer モデルと Foster モデルの2つが存在する(図 3.39) [3-44～3-48]。

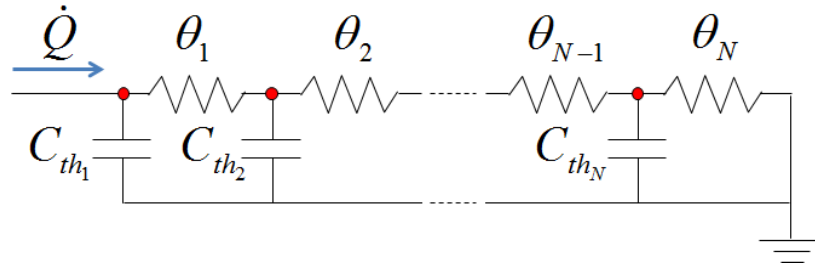
非定常状態では、熱容量の影響を分布定数として適切に扱う必要がある。つまり、非定常状態におけるエネルギーバランス式は、3.2 節で示した式(3.4)とは異なり、各部材ごとではなく、より薄い層ごとに成り立つものとして扱うべきである。つまり、非定常状態におけるエネルギーバランス式は以下のようになる [3-49, 3-50]。

$$c_k \rho_k V_k \frac{\partial \bar{T}_k}{\partial t} = \dot{Q}_{in} - \dot{Q}_{out} = \frac{k_{k-1} A_{k-1}}{l_{k-1}} (\bar{T}_{k-1} - \bar{T}_k) - \frac{k_k A_k}{l_k} (\bar{T}_k - \bar{T}_{k+1}) \quad (3.36)$$

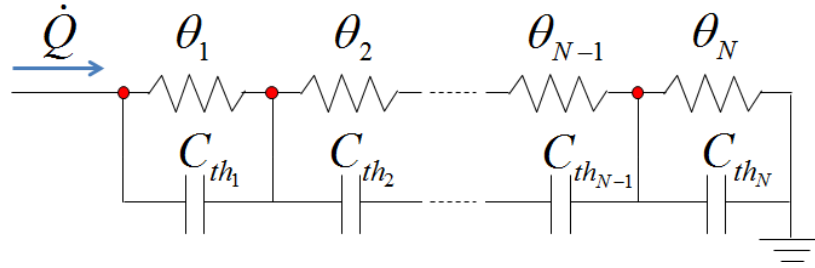
ここで、 $c$ ,  $\rho$ ,  $V$ ,  $\bar{T}$ ,  $k$ ,  $A$ ,  $l$  はそれぞれ分割した層の比熱、密度、体積、平均温度、熱伝導率、断面積、厚みである。 $\dot{Q}_{in}$ ,  $\dot{Q}_{out}$  はそれぞれ流入及び流出する伝熱量である。各記号の添え字は部材ではなく、層を表す。式(3.36)を熱回路網として表現すると図 3.40 (a)のようになる。これは図 3.39 (a)の表現、つまり Cauer モデルと等価である。なお、拡大熱抵抗が生じる場合についても同様に、エネルギーバランス式は、

$$c_k \rho_k V_k \frac{\partial \bar{T}_k}{\partial t} = \dot{Q}_{in} - \dot{Q}_{out} = \frac{k_{k-1} A_{k-1}}{l_{k-1}} (\bar{T}_{k-1} - \bar{T}_{kp}) - \frac{k_k A_k}{l_k} (\bar{T}_k - \bar{T}_{k+1}) \quad (3.37)$$

となる [3-49, 3-50]。これを熱回路網として表現すると図 3.40 (b)のようになる。

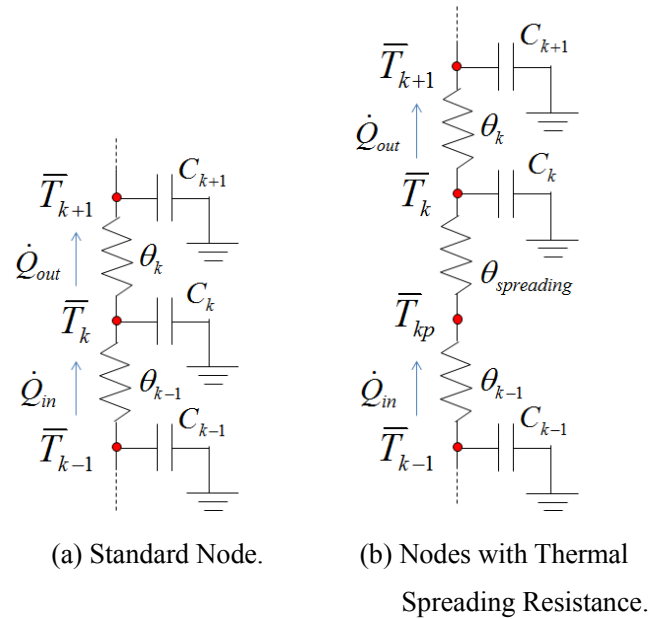


(a) Cauer Thermal Network.



(b) Foster Thermal Network.

Figure 3.39 Transient Thermal Network Models.



(a) Standard Node.

(b) Nodes with Thermal Spreading Resistance.

Figure 3.40 Thermal Network Nodes for Transient Analysis.

電子機器の分野では、特に、パワー系半導体の非定常温度予測に古くから Foster モデルが使われてきた [3-44～3-48]。Cauer モデルと Foster モデルは数学的に相互に変換可能なことが知られている。Foster モデルでは、熱抵抗と熱容量の組による温度遷移の重ね合わせにより、回路全体としての温度遷移が決まるため、数学的には取り扱いが容易である。しかし、個々の熱容量には物理的な意味はなく、フィッティングにより、その値を求める必要がある。また、伝熱経路の構成が一部でも変更された場合には、フィッティングで得られた熱容量の値も変化するため、Foster モデルでは、通常、伝熱経路の構成が変わ

るたびに熱回路網内のすべての熱容量の値を求め直す必要がある．そのため，本研究では，物理的意味を有し，かつ伝熱経路の構成を変更するケースを扱う際の利便性を考慮し，Cauer モデルを用いて非定常熱回路網を構成することとする．

### 3.6.2 マイクロプロセッサシステムの非定常熱回路網

Cauer モデルを用いてマイクロプロセッサシステムの非定常熱回路網を構成すると，図 3.41 のようになる [3-49, 3-50]．3.2 節で示した図 3.10 の定常熱回路網と比較すると，各部材の熱抵抗が複数の熱抵抗に分割され，その間に設けられた各ノードに 1 つずつ熱容量が配置される．また，図 3.41 には明示していないが，拡大熱抵抗及び局所熱抵抗は非定常状態において値が変動するため，必要に応じて，3.5 節で示した手法を適用し，可変抵抗として扱う必要がある．

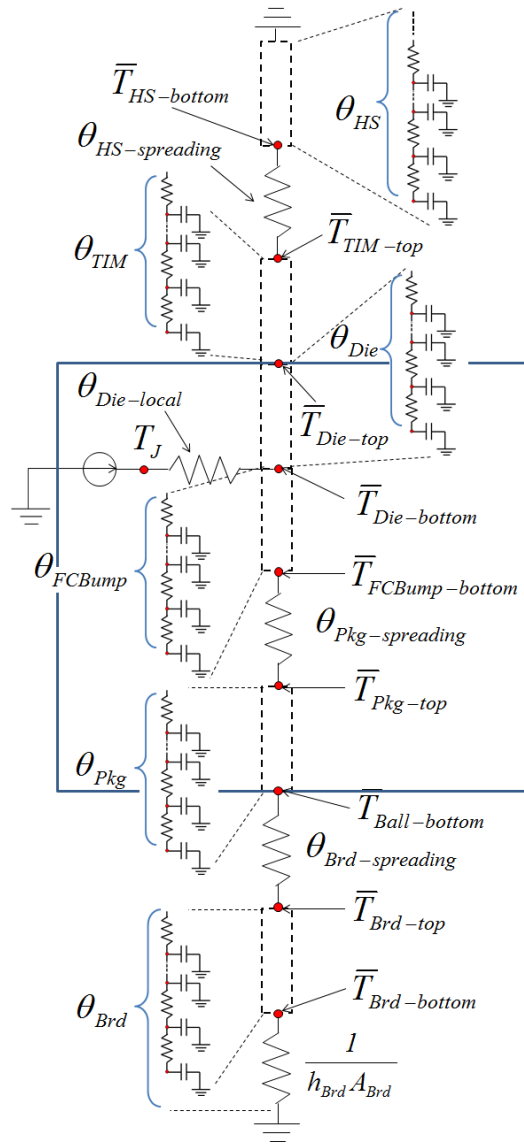


Figure 3.41 Thermal Network of Microprocessor System for Transient Analysis.

### 3.6.2.1 各部材に配置すべきノード数

非定常熱回路網では、定常熱回路網とは異なり、分布定数である熱容量の影響を適切に織り込む必要があるため、前項で述べた通り、各部材を薄い層に分割して各層に 1 つずつノードを設定する必要がある。ノード数の増加は計算時間の増加につながるため、各部材に設定するノード数は慎重に検討する必要がある。式 (3.36) を変形すると、

$$\begin{aligned}\frac{\partial \bar{T}_k}{\partial t} &= \frac{k_{k-1} A_{k-1}}{c_k \rho_k V_k l_{k-1}} (\bar{T}_{k-1} - \bar{T}_k) - \frac{k_k A_k}{c_k \rho_k V_k l_k} (\bar{T}_k - \bar{T}_{k+1}) \\ &= \frac{k_{k-1}}{c_k \rho_k l_{k-1}^2} (\bar{T}_{k-1} - \bar{T}_k) - \frac{k_k}{c_k \rho_k l_k^2} (\bar{T}_k - \bar{T}_{k+1})\end{aligned}\quad (3.38)$$

式 (3.38) の両辺を時間  $t$  で積分すると、

$$\bar{T}_k - \bar{T}_{k,t=0} = \frac{k_{k-1} t}{c_k \rho_k l_{k-1}^2} (\bar{T}_{k-1} - \bar{T}_k) - \frac{k_k t}{c_k \rho_k l_k^2} (\bar{T}_k - \bar{T}_{k+1}) \quad (3.39)$$

となり、右辺の 2 つの項にかかる係数は各層の厚みを代表長さとするフーリエ数となる。ここで、 $\bar{T}_{k,t=0}$  は時刻ゼロにおける  $\bar{T}_k$  の値である。フーリエ数は熱伝導で伝わる熱エネルギーと熱容量に蓄えられる熱エネルギーの比であるため、値が大きいほど熱伝導による影響が支配的になり、熱容量による影響を無視できるようになることを意味する。つまり、採るべき各層の厚み  $l$  は、満たすべきフーリエ数  $Fo$  に対して、使用する部材の熱伝導率  $k$ 、比熱  $c$ 、密度  $\rho$ 、ターゲットとする時間  $t$  から、以下の式で求められる。

$$l = \sqrt{\frac{kt}{c\rho Fo}} \quad (3.40)$$

例えば、0.1 秒単位における熱伝導に対する熱容量による影響を 5%以内に抑えたい（つまり、熱伝導による影響を熱容量による影響の 20 倍以上に設定したい）場合には、式 (3.40) に部材の熱伝導率、比熱、密度とともに  $t=0.1$ 、 $Fo=20$  を代入すれば良い。各部材を等分してノードを設ける場合には、式 (3.40) で得られた厚みよりも薄くなるように各部材を等分する。

## 3.6.3 非定常熱回路網によるマイクロプロセッサシステムの非定常温度予測

前節で提案した拡大熱抵抗の非定常モデル化手法を非定常熱回路網に適用し、マイクロプロセッサシステムの温度予測を実施する。

### 3.6.3.1 対象とするマイクロプロセッサシステム

図 3.1 に示すマイクロプロセッサシステムを対象として、マイクロプロセッサのシリコンダイ温度 ( $T_j$ ) 予測を実施する。解析領域には、マザーボード ( $150 \times 150 \times 1.6\text{mm}$ )、マイクロプロセッサ、TIM (マイクロプロセッサのダイサイズ  $\times 20\mu\text{m}$ )、ヒートシンクベース部 ( $50 \times 50 \times 5.0\text{mm}$ ) が含まれる。なお、実測との比較を行うため、本項では、マイクロプロセッサに FT1 プロセッサ [3-22]を用いる。FT1 プロセッサはマルチコア x86 CPU、GPU 及び I/O を混載した APU (Accelerated Processing Unit) であり、本章で用いた Generic Microprocessor Package Model と寸法は異なるが、同形状のマイクロプロセッサパッケージを採用しており、伝熱経路についても放熱機構を介する上方の伝熱経路とマザーボードを介する下方の伝熱経路が存在する。

### 3.6.3.2 非定常熱回路網の構築

熱回路網を用いて温度予測を実施するには、各所の熱抵抗、熱容量を決定する必要がある。部材の熱抵抗及び熱容量は、それらの熱物性値を用いて式 (3.8) 及び式 (3.31) から求める。ただし、TIM には、事前に実施したマイクロプロセッサシステム上の定常状態における実測結果から接触熱抵抗を加味した有効値を設定する。放熱機構及びマザーボード表面に設定する熱伝達率についても同様に、実測温度結果から有効値を求め、熱抵抗を算出する。

ファン付きヒートシンクの非定常挙動については、A.1.1 項に示すモデル化手法を用いて、 $\theta_{HS}$  内部をモデル化する。

拡大熱抵抗の非定常挙動については、3.5.3 項で示したモデル化手法を適用する。一方、局所熱抵抗  $\theta_{Die-local}$  については、3.5.4 項の検証結果からその非定常挙動が 1 秒未満と短いことが分かったため、本項では固定値として扱うこととする。定常状態における拡大熱抵抗及び局所熱抵抗の値は事前に有限体積法による 3 次元定常熱伝導シミュレーション [3-3] を実施し、その結果から値を算出した。

本項では、計算負荷を低減することを重視し、全体で 55 ノードを有する非定常熱回路網を構築する。また、上記の非定常熱回路網に加えて、各拡大熱抵抗の非定常値を算出するため、拡大熱抵抗ごとに 3.5 節で提案した図 3.33 に示す熱回路網を構築する。 $\theta_{HS-spreading}$  及び  $\theta_{Pkg-spreading}$  については 3 ノード、 $\theta_{Brd-spreading}$  については 5 ノードを有する熱回路網を構築することとした、本非定常熱経路網は、少ないノード数で構成されているため、ほぼ実時間で計算を完了できる。

### 3.6.3.3 マイクロプロセッサの発熱条件

FT1 プロセッサのシリコンダイにおける発熱密度は、回路の種類やその回路に加わる負荷によって異なる。その結果、局所熱抵抗値も発熱分布により変化する。本項では、まず CPU にのみ高負荷がかかっている状態で定常状態に達した後、時刻ゼロ以降、CPU、GPU の双方に高負荷がかかるケースについて温度予測を実施する。マイクロプロセッサの消費電力は、第 2 章で述べた通り、温度依存性を有するため、消費電力推定式を用いて各時刻における発熱量を算出する。

### 3.6.3.4 温度予測結果及びその考察

図 3.42 に熱回路網における  $T_J$  と代表的なノードの温度遷移 (“1D TN”) を実測値 (“Measured”) とともに示す。各温度は周囲温度からの上昇値として示している。FT1 プロセッサは、CPU にのみ高負荷がかかった状態で 8.29W を消費して定常状態に至り、時刻ゼロ以降、CPU、GPU の双方に高負荷がかかった状態で約 11.6W を消費する。

$T_J$  については、熱回路網による結果は実測結果と同じ傾向を示すものの、最初の 60 秒間はやや高めの値を示している。両者の最大差は初期の 3 秒間において約 3.1°C、その後の 100 秒間では 2.1°C 未満であった。

熱回路網における主要なノードの温度遷移については、 $\bar{T}_{Die-bottom}$  及び  $\bar{T}_{Die-top}$  が他のノードよりも高い値を採り、 $T_J$  とほぼ同じ傾向で推移する。続いて、 $\bar{T}_{Pkg-top}$  が高い温度を示すが、時刻ゼロ近傍における立ち上がりは遅くなっている。 $\bar{T}_{HS-bottom}$  及び  $\bar{T}_{Brd-top}$  はさらに低い値を採り、その傾きは時刻ゼロからはほぼ一定である。これは下方の伝熱経路では、熱容量の影響により、上方の伝熱経路より温度上昇が遅く、伝熱量が滑らかに変化しているためである。

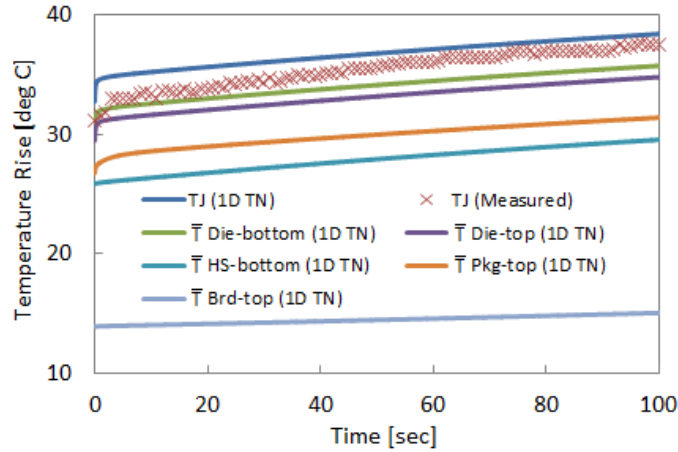


Figure 3.42 Transient Temperature Prediction Result of FT1 Processor System.

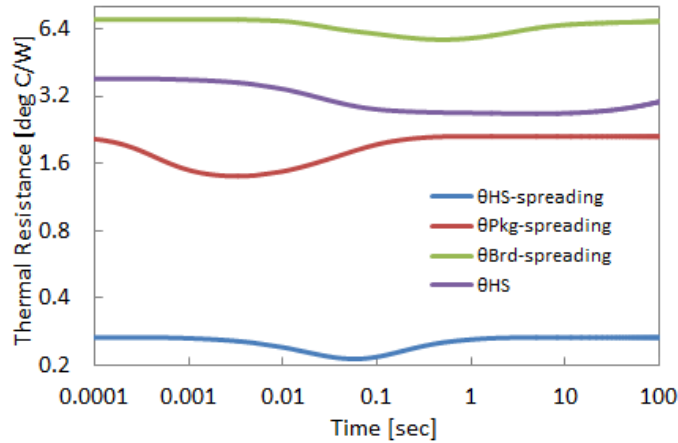


Figure 3.43 Transient Behavior of Thermal Resistances.

図 3.43 に上方及び下方の伝熱経路に存在する拡大熱抵抗 ( $\theta_{HS-spreading}$ ,  $\theta_{Pkg-spreading}$ ,  $\theta_{Brd-spreading}$ ) とヒートシンクの熱抵抗 ( $\theta_{HS}$ ) の時間遷移を示す. 図中のすべての熱抵抗が下に凸の曲線形状を採っていることが分かる. これは, 時刻ゼロにおいて FT1 プロセッサの消費電力が急激に変化し, 伝熱経路の各所における伝熱量が増加し始めるのに対して, 温度場はそれよりも少し遅れて上昇を開始するためである.

まず最初に  $\theta_{Pkg-spreading}$  が下降し始め, その後上昇に転じてほぼ 0.1 秒で定常状態に収束する. その次に,  $\theta_{HS-spreading}$  が同様の傾向で変化し, ほぼ 1 秒で収束する. 一方,  $\theta_{Brd-spreading}$  及び  $\theta_{HS}$  はその変動の開始が遅く, 収束までにかかる時間が長い.

熱回路網と実測による  $T_J$  の温度差については,  $\theta_{HS}$  のみが  $T_J$  の予測誤差が相対的に大きい時刻ゼロからの 60 秒間値を変動させており,  $\theta_{HS}$  が原因で温度予測誤差が生じている可能性が高い. 本項の結果は実用的な精度で温度予測が可能であることを示しているが, より高精度に温度予測を実施する必要がある場合には, ファン付きヒートシンクのモデル化をより高精度に行う必要があると考えられる.



### 3.6.4 熱回路網による非定常温度予測に関するまとめ

本節では、非定常熱回路網を用いてマイクロプロセッサシステムの非定常温度予測を実施した。得られた知見は以下の通りである。

- 熱抵抗及び熱容量を適切に設定することで、非定常熱回路網を用いて、実用的な精度でマイクロプロセッサのシリコンダイ温度を予測することができる。
- 時刻ゼロ付近における温度上昇は、熱容量の影響により、下方の伝熱経路では緩やかである。
- 拡大熱抵抗とヒートシンクの熱抵抗  $\theta_{HS}$  は、伝熱量の変化よりも少し遅れて、それぞれ異なるタイミングで変化する。
- 時刻ゼロにおいて急激にマイクロプロセッサの発熱量が増加する場合、拡大熱抵抗とヒートシンクの熱抵抗  $\theta_{HS}$  は、下に凸のカーブを描いて遷移する。

## 3.7 まとめ

本章では、小型電子機器のための実用的な非定常温度予測手法の確立を目的として、平均温度をノードとする熱回路網を導入した。そして、定常状態及び非定常状態における熱抵抗の変動について検証、考察し、そこで得られた知見を基に必要なモデルを構築し、熱回路網による温度予測を実施した。

3.1 節では、小型電子機器筐体内の伝熱経路及び本章の構成について説明した。小型電子機器では、発熱量や筐体のデザインにより、ファン付きヒートシンク、RHE、ヒートスプレッドといった異なる種類の放熱機構が採用される。本章では、これらすべてに適用可能な温度予測手法として、熱回路網を導入した。

非定常温度予測を行うには、まず定常状態における伝熱経路の適切なモデル化、温度予測の実現が不可欠である。3.2 節では、定常状態における熱回路網を構築した。既存の熱回路網では、熱の流れ方向に1次元的に構成した場合、温度予測誤差が生じてしまう。そこで、部材端面の平均温度をノードとする新たな熱回路網を導出した。本熱回路網は、部材の熱抵抗、拡大熱抵抗、局所熱抵抗から構成される。局所熱抵抗は本研究で新たに導入した概念であり、特にシリコンダイにおけるホットスポットの温度上昇を評価するのに有効である。

3.3 節では、その定義から、見かけ上、境界条件によって値が変動する拡大熱抵抗、局所熱抵抗について、マイクロプロセッサパッケージモデルを用いて、その変動について定量的に検証、考察した。その結果、マイクロプロセッサパッケージの上下面における境界の状態やシリコンダイ底面における発熱分布が変化すると、パッケージサブストレート上面における拡大熱抵抗及びシリコンダイ底面における局所熱抵抗の値が変動することが明らかとなった。特にシリコンダイ底面の回路面における発熱が均一の場合には、パッケージサブストレート上面に拡大熱抵抗は上方の伝熱経路の影響は軽微であるのに対して、均一発熱でない場合には、上方、下方の伝熱経路の双方から影響を受け値が変動する。つまり、均一発熱の場合に成り立っていた前提が均一発熱でない場合に成り立つとは限らず、注意が必要である。また、シリコンダイ底面における発熱に偏りが生じるほど、パッケージサブストレート上面における拡大熱抵抗は小さな値を採り、シリコンダイ底面における局所熱抵抗は大きな値を採ることが分かった。

3.4 節では、熱流体シミュレーションソフトウェアを用いない新たな温度予測手法として、上記の熱回路網を用いた定常状態における小型電子機器筐体内の温度予測を実施するため、フーリエ級数による解

---

析解の繰り返し計算により各熱抵抗を算出する手法を提案した。本手法では、第 3 種境界条件を用いて各部材境界を近似し、繰り返し計算により近似する際に必要となる見かけ上の熱伝達率を算出することで解析解を用いて熱抵抗値を求める。マイクロプロセッサシステムの温度予測では、本手法による結果は有限体積法による 3 次元定常熱伝導シミュレーションによる温度予測結果と良く一致し、非常に高い精度で定常温度予測が可能であることを確認した。

続いて、非定常状態におけるトピックとして、3.5 節では、拡大熱抵抗、局所熱抵抗の非定常挙動について検証、考察した。マイクロプロセッサの発熱量が急激に変化した場合、拡大熱抵抗は数秒間にわたって非定常挙動を示すことが判明した。そのため、拡大熱抵抗の非定常モデルを熱回路網として提案し、その精度について論じた。また、局所熱抵抗については、その非定常挙動が 1 秒以内に完了することを確認した。

3.6 節では、3.2 節で導出した熱回路網を非定常解析向けに拡張し、マイクロプロセッサのシリコンダイ温度の非定常温度予測を実施した。拡大熱抵抗は 3.5 節の手法を用いて可変抵抗、局所熱抵抗は固定値として扱った。本熱回路網は少ないノード数で構成できるため、3 次元熱流体シミュレーションで問題となる計算時間を短く抑えることができ、ほぼ実時間で計算を終了できることを確認した。また、本熱回路網により、目標としていた実測との差がほぼ 3℃以内でマイクロプロセッサのシリコンダイ温度を予測可能であることを確認した。

## 参考文献

- [3-1] 望月正孝, 齋藤祐士, 清岡史利, T. Nguyen, “コンピュータ高性能プロセッサ冷却の現状と今後”, フジクラ技報, 第112号, pp. 33-43, 2007年4月.
- [3-2] 大海勝, 福本智郎, 小林隆雄, 杉村政信, 中山克夫, 難波研一, “ノートブックPC用マイクロヒートパイプヒートシンクの最新技術”, 古河電工時報, 第108号, pp. 11-16, 2001年6月.
- [3-3] FloTHERM, <http://www.mentor.com/products/mechanical/flotherm/flotherm/> (2015年1月現在)
- [3-4] ANSYS Icepack,  
<http://www.ansys.com/Products/Simulation+Technology/Fluid+Dynamics/Specialized+Products/ANSYS+Icepak>  
(2015年1月現在)
- [3-5] 熱設計 Pack, <http://www.cradle.co.jp/products/pac.html> (2015年1月現在)
- [3-6] Flow Designer, <http://www.akl.co.jp/products/flowdesigner/> (2015年1月現在)
- [3-7] 石塚勝, 福岡義孝, “マルチチップパッケージ基板の過渡温度上昇”, 日本機械学会論文集B編, Vol. 52, No. 476 (1986), pp. 1772-1776.
- [3-8] 石塚勝, 福岡義孝, “相変化材を用いた高発熱パッケージ冷却技術の開発 (熱回路網法の相変化現象解析への応用)”, 日本機械学会論文集B編, Vol. 60, No. 574 (1994), pp. 2165-2170.
- [3-9] 西剛伺, 畠山友行, 石塚勝, “熱回路網によるマイクロプロセッサのシリコンダイの非定常温度予測”, 第49回日本伝熱シンポジウム論文集 (2012), C312.
- [3-10] 西剛伺, 畠山友行, 石塚勝, “マイクロプロセッサパッケージの熱抵抗表現に関する研究”, Mate2013 (2013), 73.
- [3-11] K. Nishi, T. Hatakeyama and M. Ishizuka, “Steady and Transient Heat Transfer Analysis of The Microprocessor System Using One-Dimensional Thermal Network”, InterPACK2013 (2013), IPACK2013-73052.
- [3-12] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Thermal Spreading Resistance and Thermal Local Resistance Evaluations by Iterative Calculation”, 39, ISTP-25 (2014).
- [3-13] 西剛伺, 畠山友行, 中川慎二, 石塚勝, 「繰り返し計算による電子機器の熱抵抗算出手法」, B132, 熱工学コンファレンス 2014 (2014).
- [3-14] “2・1・5 熱伝導方程式の無次元化”, JSME テキストシリーズ 伝熱工学 初版第3刷 (2006), pp. 27-28.
- [3-15] 畠山友行, “サーマルビアの効果的利用方法の検討”, 第28回エレクトロニクス実装学会春季講演大会 (2014), 7B-08 依頼講演.
- [3-16] 宮崎道雄, 銭飛, 蓑弘幸, 島田和宏, “1.6 抵抗とオームの法則”, 回路理論, 関東学院大学出版会 (2006), pp. 4-6.
- [3-17] 宮崎道雄, 銭飛, 蓑弘幸, 島田和宏, “第2章 直流基礎”, 回路理論, 関東学院大学出版会 (2006), pp. 9-20.
- [3-18] Denis Foley, Maurice Steinman, Alex Branover, Greg Smaus, Antonio Asaro, Swamy Punyamurtula, Ljubisa Bajic, “AMD’S “LLANO” FUSION APU”, Hot Chips 23, August 2011.
- [3-19] Dan Bouvier, Ben Bates, Walter Fry, Sreekanth Godey, “AMD “Kabini” APU SOC”, Hot Chips 25, August

---

2013.

- [3-20] S. Lee, S. Song and V. Au, “Constriction/Spreading Resistance Model for Electronics Packaging”, *Proceedings of the ASME-JSME Thermal Engineering Joint Conference*, Vol. 4 (1995), 199-206.
- [3-21] 矢澤和明, 中川慎二, 石塚勝, “温度場伝播の情報可視化によるヒートスプレッド内非定常温度予測モデルの開発”, 可視化情報学会論文集, Vol. 25, No. 7 (2005), 33-38.
- [3-22] “The worlds first combination of low-power CPU and advanced GPU intergrated into a single embedded device”, Product Brief : AMD Embedded G-Series APU Platform, Publication # 49282 (2013).
- [3-23] Family 16h Models 00h-0Fh AMD A-Series Mobile Accelerated Processor Product Data Sheet, Publication # 52169, Rev 3.03, February 2014.
- [3-24] 半導体製品におけるパッケージ熱特性ガイドライン, JEITA EDR-7336, 電子情報技術産業協会技術レポート, 2010 年 10 月.
- [3-25] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 14h Models 00h-0Fh Processors, Publication # 43170, Rev 3.13, pp. 114-117, February 2012.
- [3-26] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) For AMD Family 10h Processors, Publication # 31116, Rev 3.62, pp. 162-164, January 2013.
- [3-27] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) For AMD Family 11h Processors, Publication #41256, Rev 3.00, pp. 73-75, July 2008.
- [3-28] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 16h Models 00h-0Fh Processors, Publication # 48751, Rev 3.01, pp. 141-143, October 2013.
- [3-29] K. Nishi, T. Hatakeyama, and M. Ishizuka, “Transient Heat Transfer of The Microprocessor System Investigation regarding Natural Convection with Slate Style Chassis”, ICEP2013 Proceedings, WD2-2, pp. 101-105, April 2013.
- [3-30] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Heat Transfer of The Microprocessor System Investigation regarding Natural Convection with Slate Style Chassis”, Transactions of The Japan Institute of Electronics Packaging, Vol. 6, No. 1, pp. 70-77 (2013).
- [3-31] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “One-Dimensional Thermal Network Expression of Tablet Device with Slate Style Chassis”, ICEP2014 Proceedings, FC3-1, pp. 585-590 (2014).
- [3-32] JEDEC Standard, Compact Thermal Model Overview, JESD15-1, October 2008.
- [3-33] JEDEC Standard, Two-Resistor Compact Thermal Model Guideline, JESD15-3, July 2008.
- [3-34] Y. S. Muzychka, J. R Culham, and M. M. Yovanovich, “Thermal Spreading Resistance of Eccentric Heat Sources on Rectangular Flux Channels”, *Journal of Electronic Packaging*, Vol. 125, June 2003, pp. 178–185.
- [3-35] “2・1・5 熱伝導方程式の無次元化”, JSME テキストシリーズ 伝熱工学 初版第 3 刷 (2006), pp. 27-28.
- [3-36] “2・3・1 過渡熱伝導”, JSME テキストシリーズ 伝熱工学 初版第 3 刷 (2006), pp. 38-39.
- [3-37] “2・3・2 集中熱容量モデル”, JSME テキストシリーズ 伝熱工学 初版第 3 刷 (2006), pp. 39.
- [3-38] 西剛伺, 畠山友行, 石塚勝, “マイクロプロセッサの放熱経路に関する考察 熱回路網における熱抵抗表現について”, H121, 熱工学コンファレンス 2012 (2012).

- [3-39] M. M. Yovanovich, “Transient Spreading Resistance of Arbitrary Isoflux Contact Areas: Development of a Universal Time Function”, 32nd Thermophysics Conference, AIAA-97-2458 (1997).
- [3-40] P. Teertstra and M.M. Yovanovich, “Modeling Transient Conduction in Doubly Connected Regions Between Isothermal Boundaries of Arbitrary Shape”, AIAA-2000-2582 (2000).
- [3-41] P. Teertstra, M. M. Yovanovich and J. R. Culham, “Modeling Transient Conduction in Enclosed Regions Between Isothermal Boundaries of Arbitrary Shape”, Journal of Thermophysics and Heat Transfer, Vol. 19, No. 3, pp. 382 – 387 (2005).
- [3-42] 西剛伺, 畠山友行, 石塚勝, “1次元熱回路網による電子機器の非定常熱解析 熱抵抗の時間遷移のモデル化”, J012032, 日本機械学会年次大会 (2013).
- [3-43] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “マイクロプロセッサにおけるホットスポット温度非定常挙動のモデル化”, H112, 熱工学コンファレンス 2013 (2013).
- [3-44] Kandarp Pandya, “Thermal Simulation of Power MOSFETs on the P-Spice Platform”, Application Note AN609, Document Number 73554, Vishay Siliconix (2005).
- [3-45] Packaging Technology Development, “How To Use Thermal Data Found in Data Sheets”, Application Note AND8220/D, Rev 0, ON Semiconductor (2006).
- [3-46] Packaging Technology Development, “Thermal RC Ladder Networks”, Application Note AND8221/D, Rev 0, ON Semiconductor (2006).
- [3-47] Industrial Power, “Thermal equivalent circuit models”, Application Note AN2008-03, V1.0, Infineon Technologies (2008).
- [3-48] “Compact Thermal Model for Dual 24 V High Side Switch Family”, Application Note, Document Number: AN4473, Rev. 1.0, Freescale Semiconductor (2012).
- [3-49] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Thermal Behavior of The Microprocessor System - Investigation of Effects by Distributed Thermal Capacitance and Thermal Spreading Resistances”, IHTC-15 (2014).
- [3-50] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Thermal Analysis of The Microprocessor System One-Dimensional Thermal Network with Power Estimation Equation”, ITHERM2014 (2014).

---

## 第 4 章

### 小型電子機器のシステムレベルの非定常熱設計

ノートブック型 PC (Personal Computer) やタブレットデバイスを含む小型電子機器分野では、薄型化の要請が大きく、高性能なマイクロプロセッサを搭載するには、既存の定常状態を前提とする熱設計だけではなく、発熱源であるマイクロプロセッサ等の非定常動作を考慮した熱設計手法へのパラダイムシフトが必要となってきた。システムレベルの非定常熱設計とは、第 3 章にて検証、考察した小型電子機器筐体内の伝熱経路における個々の部材や熱抵抗ではなく、その集合体としての伝熱経路やマイクロプロセッサの非定常動作を含む動的な状態に関する考察、表面温度管理のような製品開発を進める上でシステムとして満たすべき要件に関する検証、考察である。本章では、マイクロプロセッサの消費電力推定式や熱回路網を用いて、マイクロプロセッサの消費電力管理機能を用いた温度制御やタブレットデバイスの筐体設計といった、マイクロプロセッサの非定常動作を考慮したシステムレベルの非定常熱設計について検証、考察し、小型電子機器の熱設計に必要となる知見を獲得することを目的とする。

#### 4.1 システムレベルの非定常熱設計の必要性と本章の構成

ノートブック型 PC やタブレットデバイスを含む小型電子機器の薄型化に伴って、マイクロプロセッサを含むコンポーネントの温度仕様を満たすだけでなく、筐体の表面温度に関しても綿密な見積もりが必要となっている。そのため、製品の安全性の担保、要求性能に対する過大見積もりを避けるという両面から非定常シミュレーションを用いた製品設計及び検証は急務と言える。

薄型筐体ではスペース上の制約からファンレス設計を採用することが多い。ファンレス設計では、いかに筐体表面に熱を伝えるかが重要である一方で、局所的に熱を逃がしてしまうと、マイクロプロセッサのシリコンダイ温度がそれほど高くない場合であっても、筐体表面の特定エリアで温度仕様を上回ってしまう可能性がある。ファンを採用するシステムにも言えることであるが、限られたスペースに高性能なマイクロプロセッサを搭載するには、定常状態のみを考慮した既存の熱設計だけではデザイン、コスト双方の観点から競争力の高い製品を作り出すことは不可能であり、マイクロプロセッサの動的な消費電力管理機能や機器筐体の非定常状態における温度遷移を考慮した非定常熱設計を組み合わせた新たな熱設計手法へのパラダイムシフトが必要となってきた。新たな熱設計手法では、図 4.1 に示すように、定常状態における熱設計のみで最も厳しい温度、消費電力要件を満たすように設計するのではなく、特定の条件（図中水色の矢印の範囲）までは定常状態における熱設計で対応し、それより厳しい条件（図中橙色の矢印の範囲）においては、マイクロプロセッサの消費電力を制限する機能等を用いて熱源の発熱を抑えることで、製品を動作保証温度内で動作させる。

近年のマイクロプロセッサにはさまざまな電力管理機能が搭載されており [4-1, 4-2]、それらを活用することで、必要に応じてマイクロプロセッサの消費電力を制限し、表面温度を管理することが可能である。そのため、より薄い筐体により高性能、高発熱のマイクロプロセッサを搭載できるようになってきている。マイクロプロセッサは、アプリケーションソフトウェアの実行状況やシリコンダイ温度、消費

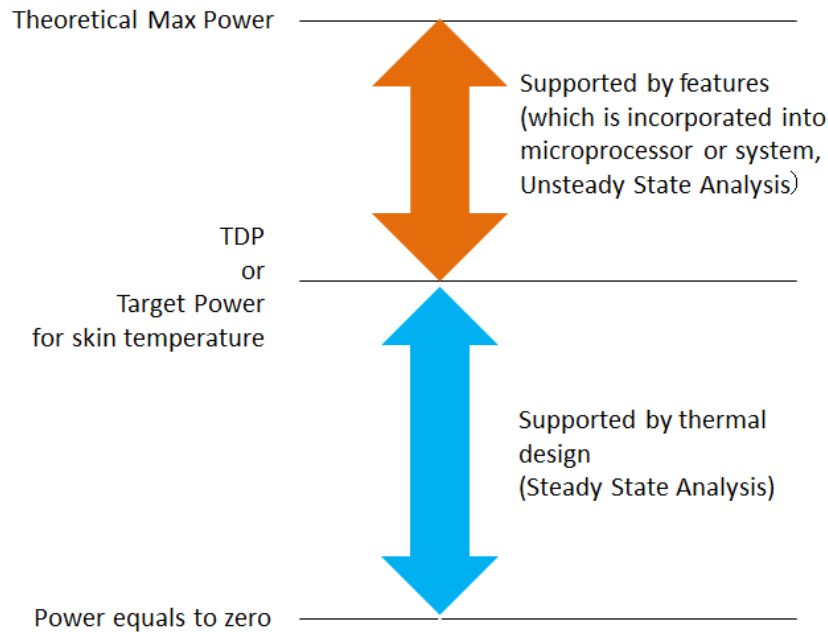


Figure 4.1 Efficient Thermal Design by Utilizing Both Thermal Features and Thermal Design.

電力等をトリガとして、動的に動作周波数，駆動電圧を変化させるため，消費電力は時々刻々と変化していく．そのため，定常解析だけでなく，非定常解析を用いた製品コンセプトの検討，検証及び製品設計手法の確立が急務となっている．しかし，従来の電子機器における熱設計では，定常解析が熱設計の中心であり，半導体パッケージにおける非定常解析 [4-3, 4-4]のようなシステムの一部や昇華型プリンタの非定常動作 [4-5]のようなシステムの動作そのものが非定常動作を伴うものに限られ，システムレベルの温度管理のためにマイクロプロセッサの消費電力を制限するような非定常動作を考慮したシミュレーションを用いた検証例は見当たらない．

本章では，4.2 節で，消費電力制限を伴う非定常熱制御について，3 次元非定常熱伝導シミュレーションを実施し，その結果について考察する [4-6, 4-7]．続いて，4.3 節～4.5 節では，スレート型（板状）筐体を採用するファンレス設計のタブレットデバイスをターゲットとして，筐体内の伝熱経路の構成の違いによるシリコンダイ温度，筐体表面温度等への影響，非定常温度遷移について検証，考察する [4-8～4-10]．

## 4.2 消費電力制限を伴う非定常温度制御

本節では，筐体を有するシステムの表面温度に関する検証の足掛かりとなる知見を得ることを目的として，最も単純なシステム構成として FT1 プロセッサ [4-11]を搭載した筐体のないリファレンスシステムを対象として，マイクロプロセッサが消費電力制限をかける際の非定常挙動と温度遷移の関係性について検証，考察する．まず最初に 3 次元非定常熱伝導シミュレーション結果と実測結果を比較し，続いて 3 次元非定常熱伝導シミュレーションにより，いくつかの異なる条件で消費電力制限をかけた際の温度遷移について検証，考察する．



## 4.2.1 マイクロプロセッサに搭載される消費電力制限機能

本研究で対象とするマイクロプロセッサには、P-state と呼ばれる電源電圧及び動作周波数の組が複数定義されている [4-1, 4-2]. マイクロプロセッサの消費電力は、2.2 節で示した通り、

$$Power = aC_{load}V_{DD}^2 f_{op} + I_{leak}V_{DD} \quad (4.1)$$

として求められる．ここで、 $a$  は動作率、 $C_{load}$  は負荷容量、 $V_{DD}$  は電源電圧、 $f_{op}$  は動作周波数、 $I_{leak}$  はリーク電流である．マイクロプロセッサの処理性能を高めるには、 $f_{op}$  を高くすれば良いが、それに応じて  $V_{DD}$  も高く設定する必要がある．そのため、高性能にすればするほど消費電力も増大するため、処理性能と消費電力はトレードオフの関係にある．本研究で対象とするマイクロプロセッサでは、処理性能を高めつつ、消費電力を極力抑えるため、アプリケーションによる負荷が高い場合には動作周波数の高い P-state で動作し、負荷が低い場合には、動作周波数の低い P-state に移行する．

消費電力制限は、マイクロプロセッサに実装されている機能で、電源電圧及び動作周波数を落とすことで消費電力を削減する．最近の PC 向けマイクロプロセッサでは P-state を用いた消費電力制限がサポートされており、シリコンダイ温度もしくは外部信号をトリガにして、特定の P-state 以下の P-state にのみ遷移するように制限できる [4-12, 4-13]. そのため、消費電力制限機能は、シリコンダイ温度の管理だけでなく、例えば、マイクロプロセッサに電力を供給する電源レギュレータ回路における過電流保護や筐体の表面温度管理といった、システムレベルの電力管理や温度管理にも使用することができる．

## 4.2.2 対象とするマイクロプロセッサシステムとモデル領域

図 4.2 に対象とするマイクロプロセッサシステムの側面図を示す．放熱機構にはファン付きヒートシンクを用いるが、ヒートシンクベース部のみをモデル化し、A.1.1 項に示す手法でフィンによる非定常冷却の挙動を表現することで、非定常熱伝導問題として以下の 3 次元熱伝導方程式を有限差分法で解き、計算負荷を低減する．

$$c\rho \frac{\partial T}{\partial t} = \frac{\partial}{\partial x} \left( k_x \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left( k_y \frac{\partial T}{\partial y} \right) + \frac{\partial}{\partial z} \left( k_z \frac{\partial T}{\partial z} \right) \quad (4.2)$$

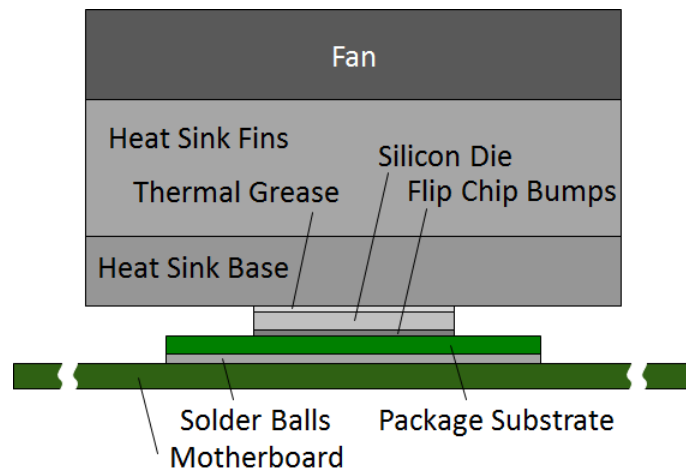


Figure 4.2 Side View of Microprocessor System.

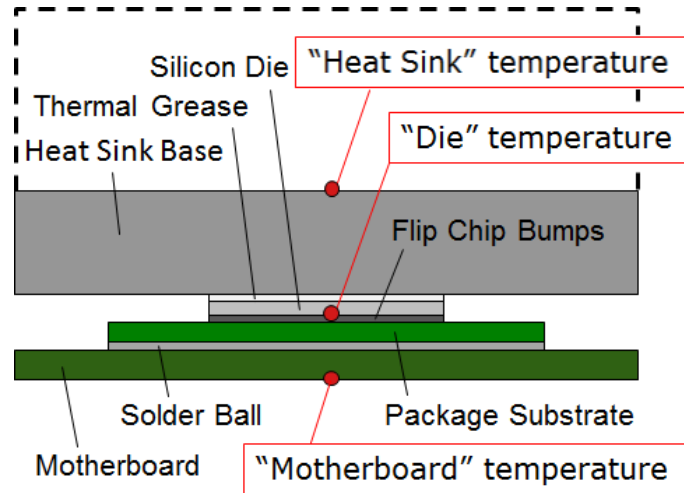


Figure 4.3 Side View of The Simulation Model.

ここで、 $c$ は比熱、 $\rho$ は密度、 $T$ は温度、 $t$ は時刻、 $k_x$ ,  $k_y$ ,  $k_z$ はそれぞれ  $x$ ,  $y$ ,  $z$  方向の熱伝導率である。

3次元非定常熱伝導シミュレーションでは、各時刻における各伝熱経路への伝熱量の割合が各部材の熱容量や拡大熱抵抗の非定常遷移によって変化するため、伝熱経路が的確にモデル化されていない場合には、結果として、予測温度に誤差が生じることになる。そのため、シリコンダイ温度の他に、表面温度の遷移に関連すると考えられる、ヒートシンク及びマザーボードの温度を上方及び下方の伝熱経路の温度モニタポイントとして観測することで、モデル化の良否の確認及び温度遷移の検証を行うこととする。FT1 プロセッサ内蔵の温度センサ位置における温度をシリコンダイ温度とする。上方の伝熱経路に関してはヒートシンクのベース部上面の中心温度をヒートシンク温度、下方経路に関しては FT1 プロセッサパッケージ中心直下のマザーボード底面温度をマザーボード温度として観測する（図 4.3）。

#### 4.2.3 P-state と消費電力推定式

本節で使用する FT1 プロセッサ [4-11]は、40nm バルクプロセスで製造されたノートブック型 PC 及びタブレットデバイス向けのマイクロプロセッサで、3つの P-state をサポートし、処理性能、消費電力が高い順に P0-state (1600MHz), P1-state (1280MHz), P2-state (800MHz) である。FT1 プロセッサは、コア電源、ノースブリッジ電源（以下、NB 電源）、I/O 電源群を有する。そのうち、コア電源は CPU 及びキャッシュを、NB 電源は GPU 及び内部バスを駆動するために供給され、CPU や GPU にかかるアプリケーションによる負荷の状況によって、消費電力は大きく変動する。そこで、これら 2 電源については、2.2 節で導出した消費電力推定式

$$Power = (d_1 V_{DD} + d_2) V_{DD}^2 f_{op} + s_1 (T^2 + s_2 T + s_3) (V_{DD} + s_4) V_{DD} \quad (4.3)$$

を適用し、I/O 電源群は一定条件下で固定値として扱うこととする。ここで、 $d_1$ ,  $d_2$ ,  $s_1 \sim s_4$  は係数であり、実システムにおける定常状態における実測データを元に関数フィッティングであらかじめ求めておくこととする。

## 4.2.4 消費電力制限を伴うシミュレーション結果

P0-state で CPU にのみ高いアプリケーション負荷がかかっている状態で定常状態に至った後 ( $t = 0$ ), CPU 及び GPU 双方に高いアプリケーション負荷がかかった状態で 100 秒後から 30 秒間 ( $t = 100 \sim 130$ ), 消費電力制限がかかり, その間, マイクロプロセッサが P1-state もしくは P2-state に入る場合について検証する.

消費電力制限に P1-state, P2-state を使用した結果を実測データとともに図 4.4 及び図 4.5 に示す. 実測データのシリコンダイ温度は FT1 プロセッサ内蔵の温度センサ [4-12], ヒートシンク温度及びマザーボード温度はシミュレーションモデルと同位置に設置した T 型熱電対の読み値である. 周囲温度についてはファン付きヒートシンク中心の直上 100mm の地点の温度を T 型熱電対で測定した. シミュレーション結果は実測結果の傾向と良く一致しており, 本節のモデル化手法は適切であると考えられる. なお, シミュレーション結果と実測データの温度差は最大でも  $3^{\circ}\text{C}$  程度であった.

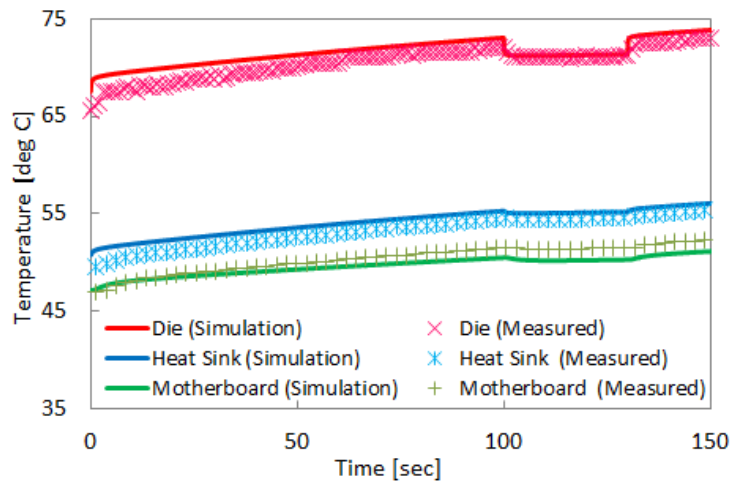


Figure 4.4 Simulation Result with Power Limit by P1-state.

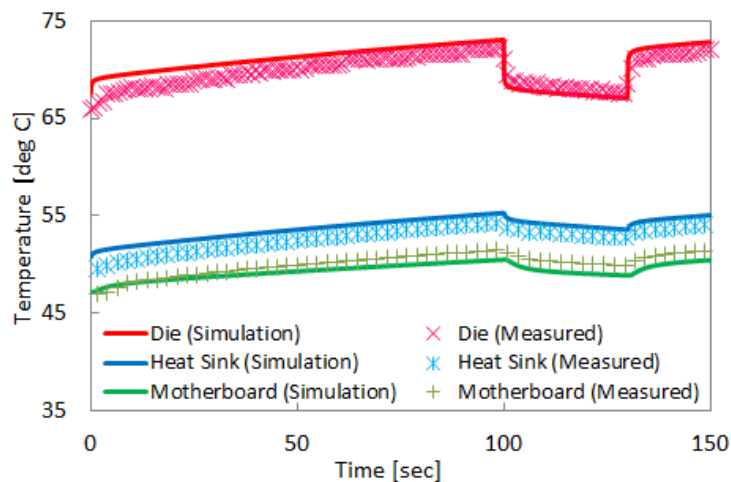


Figure 4.5 Simulation Result with Power Limit by P2-state.

消費電力制限時の P-state が P1-state の場合、消費電力制限がかかると、シリコンダイ温度が直後に 2℃ 程度低下する（図 4.4）。ヒートシンク温度とマザーボード温度もわずかではあるが、消費電力制限がかかった直後、温度低下が見られる。その後、消費電力制限がかかっている間、上記 3 点の温度はわずかに上昇傾向ではあるものの、ほぼ一定値を保った状態で推移する。消費電力制限解除後、シリコンダイ温度は直後に 2℃ 程度上昇し、消費電力制限前と同程度の割合で上昇を開始する。ヒートシンク温度とマザーボード温度には、消費電力制限解除後、急激な温度変化は見られないが、消費電力制限前と同程度の割合で上昇を開始する。なお、消費電力制限がかかる直前の消費電力は約 11.8W、P1-state による消費電力制限がかかっている間の消費電力は 10.2W 前後で、消費電力制限中の温度変動によるスタティック電力の変化は 0.1W 未満と軽微であった。以降の節に示す結果についても同様の傾向であった。

消費電力制限時の P-state が P2-state の場合、消費電力制限がかかると、シリコンダイ温度が直後に 5℃ 程度低下し、傾きは緩やかであるが消費電力制限が解除されるまで低下し続ける（図 4.5）。ヒートシンク温度とマザーボード温度には、急激な温度変化は見られないが、消費電力制限が解除されるまで低下する傾向はダイ温度と同じであった。消費電力制限解除後の温度推移の傾向は、シリコンダイ温度が解除直後に 5℃ 程度上昇することを除いては、3 点とも P1-state による消費電力制限と同じであった。なお、消費電力制限がかかる直前の消費電力は約 11.8W、P1-state による消費電力制限がかかっている間の消費電力は 7.5W 前後であった。

以上より、消費電力制限をかけると直後に温度は一旦低下するものの、適用する P-state の違い、つまり、消費電力の違いにより、消費電力制限時に温度が低下し続ける場合とそうでない場合が存在することが分かる。また、シリコンダイ温度は消費電力制限がかかった直後及び解除された直後に大きく変化するが、ヒートシンク温度及びマザーボード温度はより緩やかに変化する。

上記では、温度とは独立に、特定の時刻で消費電力制限を開始し、一定時間後に解除する場合について確認した。一方、実際の電子機器製品では何らかの条件をトリガとして、消費電力制限を開始及び解除するように実装される。コストを重視する場合には、表面温度やマザーボード上の温度を確認するための温度センサは設置されず、シリコンダイ温度をトリガとして消費電力制限を実施することになる。

シリコンダイ温度を消費電力制限のトリガとする場合には、消費電力制限を解除する際のシリコンダイ温度（以下、解除温度）に注意すべきである。図 4.4 及び図 4.5 から明らかなように、消費電力制限がかかると、シリコンダイ温度はその直後に急激に低下する。そのため、消費電力制限を解除する温度を十分に低い温度として設定しないと、消費電力制限がかかった直後に消費電力制限が解除されてしまい、表面温度低減の目的を果たすことができない。また、解除温度を低く設定しすぎると、不必要に消費電力制限がかかり続けることになり、著しい処理性能低下を招くことになる。つまり、シリコンダイ温度をトリガとして消費電力制限を行う場合には、システムの熱設計仕様に合った消費電力制限の継続時間及び開始時刻をあらかじめ求めた上で、それをシリコンダイ温度として設定する必要がある。

以上より、消費電力制限の継続時間、開始時刻について、更なる検証が必要である。そこで、次項では、P1-state 及び P2-state による消費電力制限の継続時間変更による、3 点の温度モニタポイントの時間遷移への影響について検証する。また、P1-state による消費電力制限では、消費電力制限中であっても 3 点の温度モニタポイントともに僅かながら上昇する傾向があった。この傾向は消費電力制限が温度上昇のどの位置でかかるかに大きく依存し、ほぼ定常状態に近い場合には温度は低下すると考えられる。そこで、次々項では、P1-state による消費電力制限の開始時刻変更による、3 点の温度モニタポイントの時

間遷移への影響について検証する。

#### 4.2.5 消費電力制限の継続時間と温度遷移の関係

消費電力制限の開始時間を 100 秒後 ( $t=100$ ) に固定し、継続時間を 30 秒, 60 秒, 90 秒と変化した場合の結果を図 4.6, 図 4.7, 図 4.8 に示す。3 点の温度ともに消費電力制限の継続時間が変化しても、消費電力制限時の温度上昇もしくは温度低下の傾向は変わらなかった。継続時間をより長くとした場合には、ある時点で温度低下が収まり一定値に収束すると考えられるが、実用的な時間範囲においては、消費電力制限開始後の温度変化の傾向は 3 点の温度ともに変わらず、継続時間が長いほど、その効果が出ると言える。

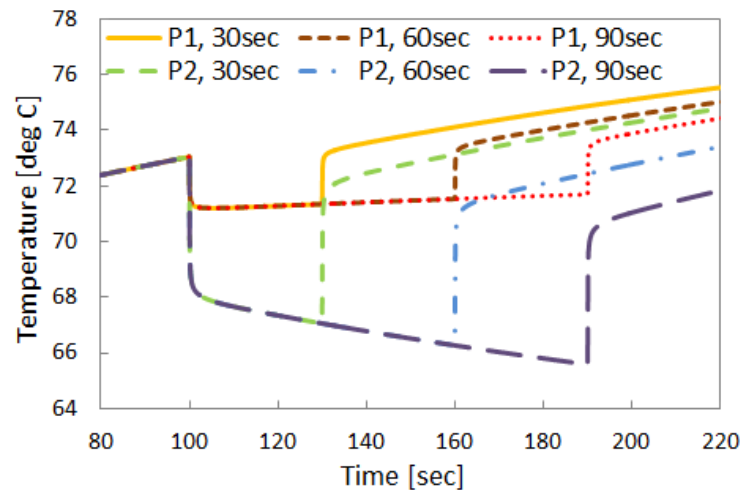


Figure 4.6 Effect of Power Limit Activation Period on Silicon Die.

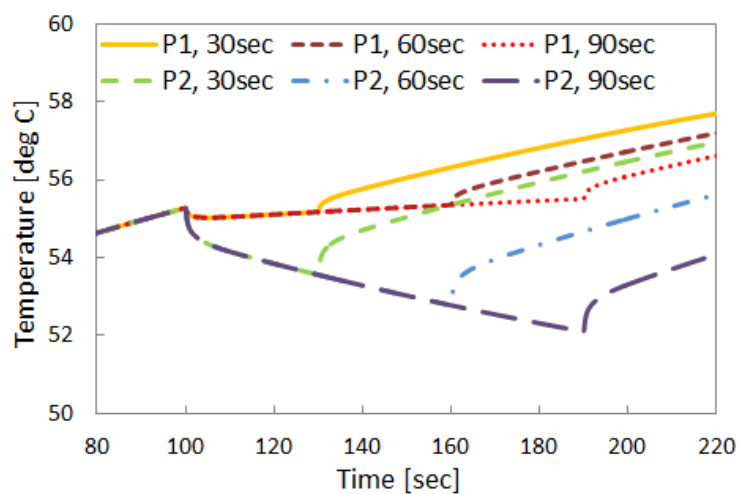


Figure 4.7 Effect of Power Limit Activation Period on Heat Sink.

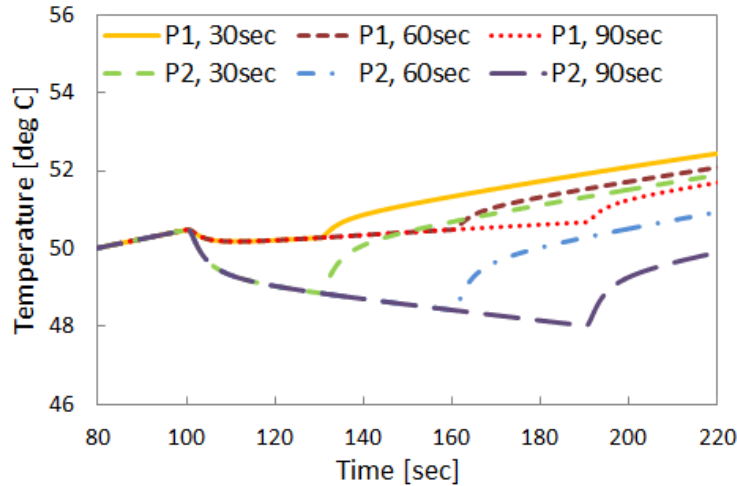


Figure 4.8 Effect of Power Limit Activation Period on Motherboard.

#### 4.2.6 消費電力制限の開始時間と温度遷移の関係

P1-state 消費電力制限の継続時間を 30 秒間固定，開始時間を  $t = 50, 100, 150$  と変化させた場合の結果を図 4.9 及び図 4.10 に示す．消費電力制限の開始時刻が変化すると，消費電力制限中の 3 点の温度変化の傾向も変化する． $t = 50, 100$  で開始の場合には上昇傾向であったが， $t = 150$  で開始の場合にはほぼ一定もしくは下降傾向に転じている．よって，4.2.4 項における P2-state による消費電力制限の結果及び本項での結果から，消費電力制限中の消費電力値と開始時刻により消費電力制限中の温度の傾向が決まると言える．

#### 4.2.7 消費電力制限を伴う非定常温度制御に関するまとめ

本節では，マイクロプロセッサ内蔵の消費電力制限機能を用いた温度制御について，3 次元非定常熱伝導シミュレーションを実施し，その結果について考察した．シミュレーション結果の考察から，温度制御について，以下の知見を得た．

- 消費電力制限をかけると直後に温度は一旦低下する．シリコンダイ温度は急激に低下するが，ヒートシンク温度及びマザーボード温度は緩やかに低下する．
- 消費電力制限中の温度変化の傾向は消費電力制限時の消費電力値及びその開始時刻によって決まる．
- 消費電力制限の継続時間が変化しても，100 秒以内の実用的な時間範囲では温度変化の傾向は変わらない．

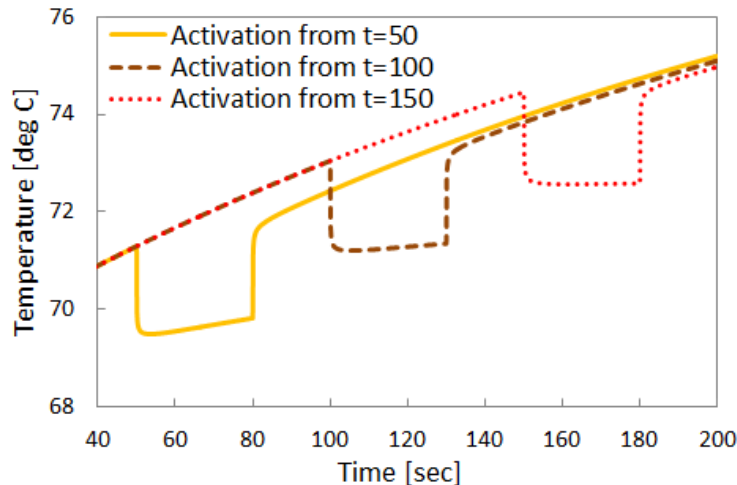


Figure 4.9 Effect of Power Limit Activation Start Time on Silicon Die.

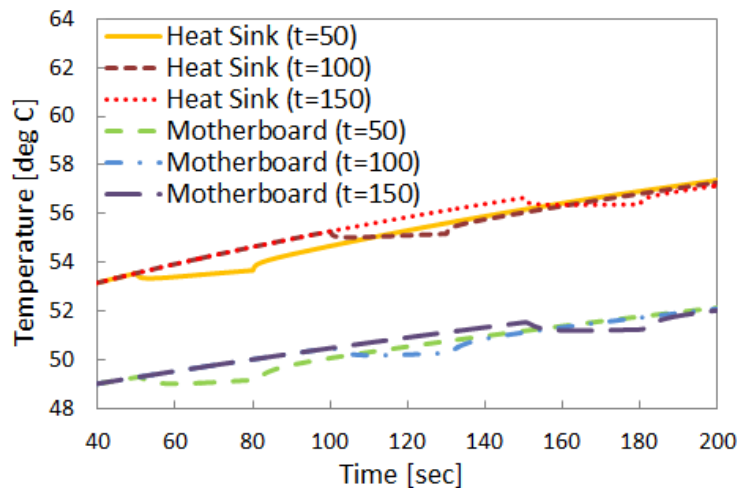


Figure 4.10 Effect of Power Limit Activation Start Time on Heat Sink and Motherboard.

### 4.3 スレート型タブレット筐体の定常解析

本節では、スレート型筐体を採用するファンレス設計のタブレットデバイスをターゲットとして、4つのテストケースを用いて筐体内の伝熱経路の構成の違いによるシリコンダイ温度、筐体表面温度等への影響について検証、考察する [4-8～4-9].

#### 4.3.1 対象とするスレート型筐体とその構成

本節では、図 4.11 に示すスレート型筐体を対象とする。なお、スレート型筐体の寸法は 300mm × 200mm × 12.5mm とし、水平方向に中空に浮いた状態で固定されているものとして、議論を進める。シミュレーションモデルは、マイクロプロセッサパッケージ、マザーボード、TIM (Thermal Interface Material)、ヒートスプレッド、バッテリー、LCD (Liquid Crystal Display) パネル、上面のガラス、側面及び底面筐体で構成されているものとする。ヒートスプレッドはアルミニウム製の単純な板とした。本節



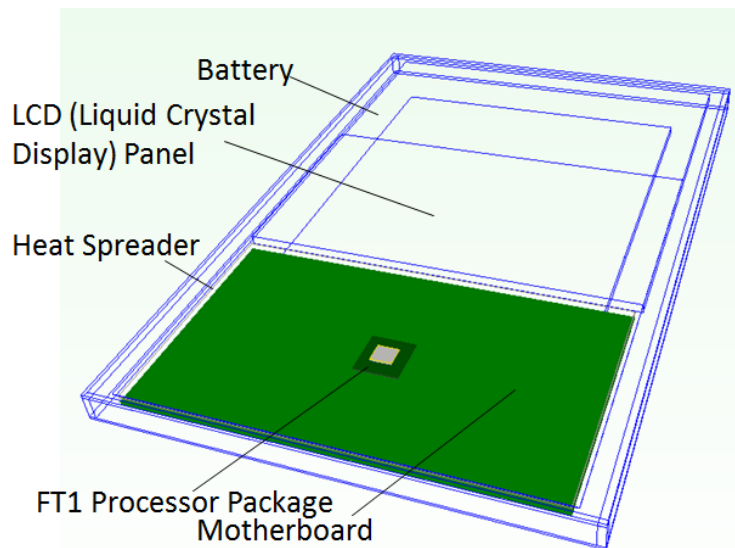


Figure 4.11 Slate Style Chassis Model Outlook from Bottom Side.

Table 4.1 Dimensions and Thermal Conductivity of Each Component.

Component	Dimensions	Thermal Conductivity
Heat Spreader	100 x 100 x 0.80 mm (Smaller) 100 x 175 x 0.80 mm (Larger)	225 W/mK
Motherboard	100 x 175 x 1.6 mm	30 W/mK (Horizontal) 0.45 W/mK (Vertical)
TIM	Same as FT1 Die Size	1.0 W/mK
Graphite Sheet	200 x 180 x 0.20 mm	1000 W/mK (Horizontal) 10 W/mK (Vertical)
LCD Panel	230 x 150 x 3.3 mm	0.21 W/mK
Battery	185 x 180 x 4.0 mm	
Top Glass	300 x 200 x 1.0 mm	
Chassis (Side, Bottom)	200 x 10 x 3.0 mm 300 x 10 x 3.0 mm 300 x 200 x 1.5 mm	

では、4つのテストケースについて取り扱うが、そのうち1ケースでは上記に加えてグラファイトシートを採用するものとする。表 4.1 にマイクロプロセッサ以外の各部材の寸法と熱伝導率を示す。本節では、マイクロプロセッサとして FT1 プロセッサ [4-11]を用いる。マイクロプロセッサパッケージについては寸法、熱伝導率ともに半導体メーカーが提供するものを使用、マザーボード、TIM、ヒートスプレッダ、グラファイトシートの熱伝導率は、実際の部材の値を用いた。一方、LCD パネル、上面のガラス、側面及び底面筐体については、将来的にモックアップを製作し、実測での検証を実施することを考慮してアクリル樹脂製とし、実際の部材の熱伝導率ではなく、アクリル樹脂の熱伝導率を与える。

マザーボードとグラファイトについては、水平方向、垂直方向に異なる熱伝導率を与えることでモデル化する。マザーボードは、主に FR-4 (Flame Retardant Type 4) と銅から構成される複合部材であり、各構成要素は等方性熱伝導率を有するが、それらが層状に構成されることで部材としての有効熱伝導率



は異方性を有する．垂直方向の有効熱伝導率  $k_{Vertical, eff}$  は，直列に接続された熱抵抗の合成抵抗の概念から以下の式で求めることができる．

$$k_{Vertical, eff} = \frac{\sum l_i}{\sum \frac{l_i}{k_i}} \quad (4.4)$$

水平方向の有効熱伝導率  $k_{Horizontal, eff}$  は，並列に接続された熱抵抗の合成抵抗の概念から以下の式で求めることができる．

$$k_{Horizontaleff} = \frac{\sum (k_i \cdot l_i)}{\sum l_i} \quad (4.5)$$

ここで， $k_i$ ， $l_i$  はそれぞれ  $i$  番目の層の熱伝導率と厚みである．一方，グラファイトシートの熱伝導率は配向により異方性を有する [4-14]．なお，本節の検証では，グラファイトシートそのものの効果について論じることとし，通常ともに用いられる接着材料や絶縁シートの熱伝導率や界面における接触熱抵抗は考慮しない．

スレート型筐体内ではマイクロプロセッサは底面側に向けて実装されている（図 4.12，図 4.13）．そのため，マイクロプロセッサに装着されたヒートスプレッドは底面筐体に接しているか，もしくは非常に小さな空隙越しに底面筐体に面している．また，マザーボードは空隙越しに LCD パネルに面している．

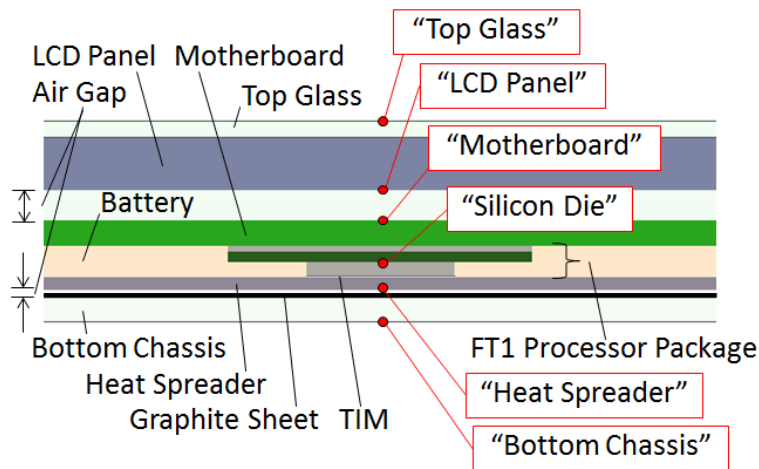


Figure 4.12 Internal Side View around the FT1 Processor from Shorter Edge of Slate Style Chassis.

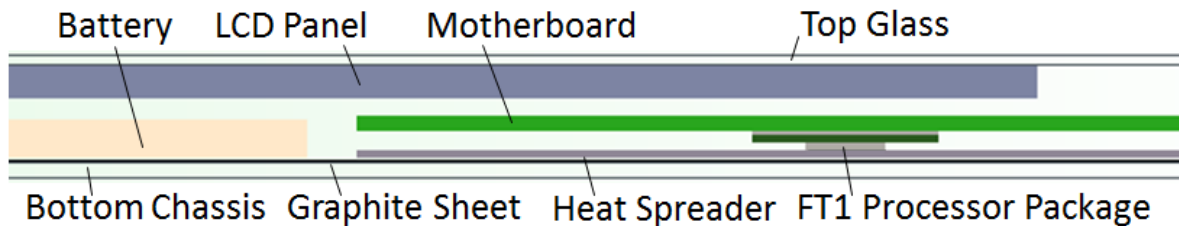


Figure 4.13 Internal Side View around the FT1 Processor from Longer Edge of Slate Style Chassis.

#### 4.3.2 境界条件と内部流れの表現

モデル領域を大きくとると、その分グリッド数が多くなり、シミュレーションに必要な計算時間も増大してしまう。計算時間の増大は、実際の製品開発だけでなく、研究目的の場合にも試行回数等が制限されることになり、実用的ではない。一方、筐体の外部流れについては、自然対流の相関式 [4-15, 4-16] が非常に便利である。本節では、これらを活用することで、スレート型筐体とその内部のみをモデル領域とし、外部流れによる冷却効果については、筐体表面に境界条件として熱伝達率を設定することとした。

上向き加熱面については、

$$\overline{Nu} = \frac{\bar{h}L}{k} = 0.54Ra_L^{1/4} \quad (4.6)$$

下向き加熱面については、

$$\overline{Nu} = \frac{\bar{h}L}{k} = 0.27Ra_L^{1/4} \quad (4.7)$$

垂直平板については、

$$\overline{Nu} = \frac{\bar{h}L}{k} = 0.80Ra_L^{1/4} \left( \frac{Pr}{1 + 2.005\sqrt{Pr} + 2.033Pr} \right)^{1/4} \quad (4.8)$$

ここで、

$$Ra_L = \frac{g\beta(T_w - T_e)L^3}{\nu\alpha} \quad (4.9)$$

$\overline{Nu}$  は平均ヌセルト数、 $\bar{h}$  は平均熱伝達率、 $L$  は代表長さ、 $k$  は熱伝導率、 $Ra_L$  は代表長さに関するレイリー数、 $Pr$  はプラントル数、 $g$  は重力加速度、 $\beta$  は体膨張係数、 $T_w$  は壁温度、 $T_e$  は周囲温度、 $\nu$  は動粘度、 $\alpha$  は熱拡散率である。式 (4.6) ～式 (4.8) をそれぞれ筐体上面のガラス面、筐体側面、筐体底面に適用する。

筐体の内部流れについては、事前に有限体積法による熱流体シミュレーション [4-17] を実施し、マザーボード及びヒートスプレッド端部に非常に遅い流れが生じていることを確認したが、その流れによる熱伝達への影響は極めて限定的であり、平均ヌセルト数はほぼ 1 であった。

上記の結果より、以降に実施するシミュレーションでは、スレート型筐体のみをモデル領域とし、以下の 3 次元定常熱伝導方程式を有限体積法で離散化して解くこととした。

$$\frac{\partial}{\partial x} \left( k_x \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left( k_y \frac{\partial T}{\partial y} \right) + \frac{\partial}{\partial z} \left( k_z \frac{\partial T}{\partial z} \right) = 0 \quad (4.10)$$

ここで、 $k_x$ 、 $k_y$ 、 $k_z$  はそれぞれ  $x$ 、 $y$ 、 $z$  方向の熱伝導率、 $T$  は温度である。

#### 4.3.3 シミュレーションの実行

マイクロプロセッサに 4.5W の TDP (Thermal Design Power) 相当のアプリケーション負荷がかかっているものとして、3 次元定常熱伝導シミュレーションを実施する。マイクロプロセッサのシリコンダイ底面における発熱分布はアプリケーション負荷の種類によって異なり、また、2.2 節で示した通り、マイクロプロセッサの消費電力には温度及び電圧依存性がある。しかし、本節では、システムレベルの伝熱経路の把握、検証を主眼に置き、シリコンダイ底面における発熱を一様発熱として扱うこととする。

テストケースによって多少増減するが、モデル領域を 192 万～197 万グリッドに分割して 3 次元定常熱伝導シミュレーション [4-17]を実行する。熱放射については、本シミュレーションでは 60℃程度までの温度帯を扱っているため、非常に限定的であり、考慮しないこととした。また、図 4.12 に示す通り、伝熱経路に沿って“Silicon Die”, “Heat Spreader”, “Motherboard”, “Bottom Chassis”, “LCD Panel”, “Top Glass”に温度モニタポイントを設定する。“Silicon Die”はマイクロプロセッサのシリコンダイ底面中心、他のモニタポイントは水平方向に“Silicon Die”と同じ位置で垂直方向に異なる場所に設定する。“Heat Spreader”はマイクロプロセッサの真下のヒートスプレッダ底面, “Motherboard”はマイクロプロセッサの真上のマザーボード上面, “Bottom Chassis”は“Heat Spreader”の真下の底面筐体の底面, “LCD Panel”は“Motherboard”の真上の LCD パネル底面, “Top Glass”は“LCD Panel”の真上の上面ガラスの上面に設定する。

上述した通り、内部流れは非常に限定的であり、筐体内の伝熱は熱伝導が支配的である。そのため、本研究では、スレート型筐体の内部構造を変化させた 4 つのテストケースを用意し、マイクロプロセッサのシリコンダイ温度やスレート型筐体の表面温度にどのような影響を及ぼすか確認することとした。表 4.2 に各テストケースで変化させるパラメータを示す。

Table 4.2 Simulation Cases.

Case	Heat Spreader	Air Gap *	Graphite Sheet
Smaller Heat Spreader (HS)	Smaller	No Air gap	No
Air Gap		0.5 mm	
Larger Heat Spreader (HS)	Larger	0.5 mm **	Yes
Graphite Sheet			

\* Between Heat Spreader and Bottom Chassis

\*\* Include Graphite Sheet Thickness

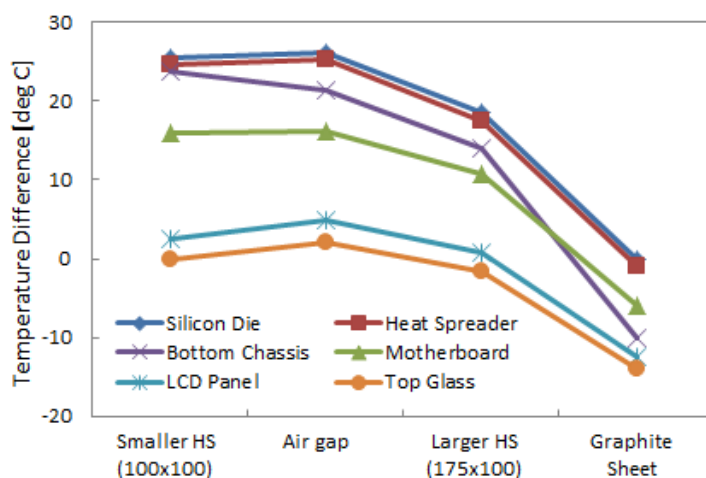


Figure 4.14 Temperature Result of Steady State Simulation.

#### 4.3.4 シミュレーション結果

図 4.14 に 3 次元定常熱伝導シミュレーションの結果を示す．各テストケースの結果は，“Smaller Heat Spreader (HS)”ケースにおける“Top Glass”温度をゼロとして，その差で示している．各テストケースごとに考察する．また，伝熱経路全体における伝熱の状態を把握する目的では，熱伝達と熱伝導の割合を示すビオ数 (Biot number) が便利である．ビオ数は，

$$Bi = \frac{hL}{k} \quad (4.11)$$

と定義され，「物体内の熱伝導に対する物体表面の熱伝達の相対的な大きさ」を表す [4-18]．ここで， $h$  は熱伝達率， $L$  は代表長さ， $k$  は部材の熱伝導率である．スレート型筐体は実際には単一の部材でできているわけではないため，上記の定義をそのまま用いることはできない．一方，フーリエの法則

$$\dot{Q} = -k \frac{dT}{dx} dA \quad (4.12)$$

より，スレート型筐体において熱伝導によって生じるホットスポット温度  $T_J$  と筐体表面温度  $\bar{T}_{Skin}$  の差は，

$$T_J - \bar{T}_{Skin} = \frac{L_1}{kA_1} \dot{Q} \quad (4.13)$$

となる．ここで， $\dot{Q}$  は伝熱量， $L_1$ ， $A_1$  はそれぞれ伝熱経路の実効長さ，実効面積である．なお， $\bar{T}_{Skin}$  は，厳密には，

$$\bar{T}_{Skin} = \frac{\sum h_i A_i T_i}{\sum h_i A_i} \quad (4.14)$$

で定義されるスレート型筐体の表面温度の実効平均温度である．ここで， $h_i$ ， $A_i$ ， $T_i$  はそれぞれスレート型筐体表面の微小エリアの熱伝達率，面積，温度である．また，ニュートンの冷却法則

$$\dot{Q} = hA(T - T_{Ambient}) \quad (4.15)$$

より，熱伝達によって生じる筐体表面温度  $\bar{T}_{Skin}$  と周囲温度  $T_{Ambient}$  の差は，

$$\bar{T}_{Skin} - T_{Ambient} = \frac{1}{hA_2} \dot{Q} \quad (4.16)$$

である．ここで， $A_2$  はスレート型筐体の表面積である．よって，

$$\frac{T_J - \bar{T}_{Skin}}{\bar{T}_{Skin} - T_{Ambient}} = \frac{h}{k} \cdot \frac{L_1 A_2}{A_1} \quad (4.17)$$

ここで，

$$\frac{L_1 A_2}{A_1} \equiv L \quad (4.18)$$

とくと，以下のように有効ビオ数が得られる．

$$Bi = \frac{hL}{k} = \frac{T_J - \bar{T}_{Skin}}{\bar{T}_{Skin} - T_{Ambient}} \quad (4.19)$$

有効ビオ数についても，テストケースごとに値を示す．

## 4.3.4.1 “Smaller HS”ケース

熱はシリコンダイ底面からヒートスプレッダを介する下方の伝熱経路とマザーボードを介する上方の伝熱経路に流れる（図 4.15）. “Smaller HS”ケースでは、ヒートスプレッダは底面筐体に直接接触しており、その間に空隙はない. そのため、図 4.14 に示す通り、“Bottom Chassis”は筐体表面の温度ではあるが、“Top Glass”よりもはるかに高い温度を示し、“Silicon Die”や“Heat Spreader”とほぼ同じである. シリコンダイ底面からヒートスプレッダまでの熱抵抗はシリコンダイ底面からマザーボードまでの熱抵抗よりはあるに小さいため、70%以上の熱（マイクロプロセッサの発熱 4.5W のうち約 3.2W）は下方の伝熱経路(a)を通る. 熱はヒートスプレッダで拡がった（図 4.15 (b)）後、ヒートスプレッダの底面及び上面で2つの伝熱経路に分かれる. 1つはヒートスプレッダ底面から底面筐体に至る伝熱経路（図 4.15 (c), 約 2.1W）、もう一つはヒートスプレッダ上面から空隙を介してマザーボードに至る伝熱経路（図 4.15 (d), 約 1.0W）である.

上方の伝熱経路については、約 1.3W の熱がシリコンダイ底面からマザーボードに流れ（図 4.14 (e)）、その後、マザーボード内で拡がり（図 4.15 (f)）、マザーボード表面から3つの伝熱経路に分かれる. マザーボードの上面から空隙を経由してLCDパネルに至り（図 4.15 (g)）、その後上面ガラスに至る（図 4.15 (h)）伝熱経路（約 1.1W）、LCDパネルは介さずマザーボードの上面から空隙を経由して直接上面ガラスに至る伝熱経路（図 4.15 (i), 約 0.5W）、マザーボード底面から空隙を経由して底面筐体に至る伝熱経路（図 4.15 (j), 約 0.6W）である. 伝熱経路(j)は、ヒートスプレッダがマザーボードより小さいため存在し、式 (4.5) 及び式 (4.6) で支配される上面ガラス及び底面筐体からの放熱量のバランスを取るように熱が流れる.

なお、“Smaller HS”ケースの有効ピオ数は約 4.6 であり、明らかに伝熱経路における熱伝導部の改善が必要である.

## 4.3.4.2 “Air Gap”ケース

“Smaller HS”ケースでは“Bottom Chassis”温度が高すぎる. “Bottom Chassis”温度を下げる最も簡単な方法は、ヒートスプレッダと底面筐体の間に空隙を設けることである（“Air Gap”ケース）. 本テストケースでは、図 4.14 に示す通り、“Smaller HS”ケースと比べて“Bottom Chassis”温度が下がるが、他の温度モニタポイントは高い温度を示す.

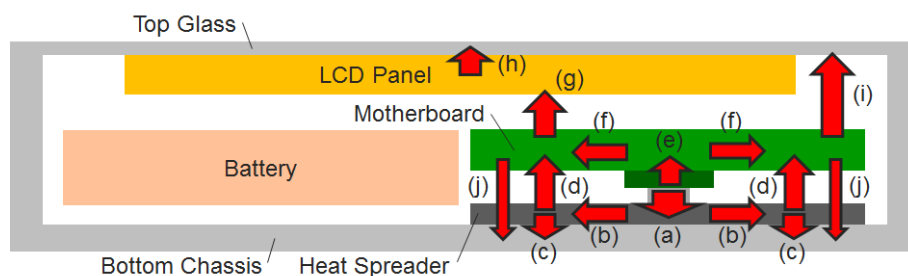


Figure 4.15 Major Heat Transfer Paths of “Smaller HS” Case.

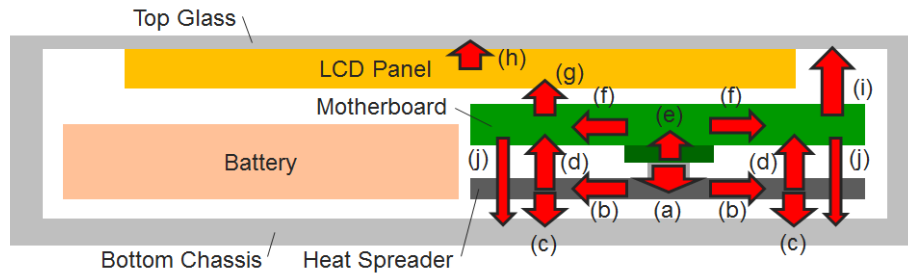


Figure 4.16 Major Heat Transfer Paths of “Air Gap” Case.

本テストケースにおける主な伝熱経路は、図 4.16 に示す通り、“Smaller HS”ケースと同じである。伝熱経路(a)及び伝熱経路(e)を通過する熱は多少変動するが、“Smaller HS”ケースとほぼ同じである（約 3.2W 及び約 1.3W）。一方、伝熱経路(c)を通過する熱は、空隙の存在により、約 1.9W まで減少し、逆に伝熱経路(d)を通過する熱は約 1.1W に増加する。本テストケースでは、より多くの熱が上方の伝熱経路を流れる（図 4.16 の(g)及び(h)に約 1.2W, (i)に約 0.5W, (j)に約 0.7W）。その結果として、“Bottom Chassis”以外の温度モニタポイントの温度が上昇する。

“Air Gap”ケースにおける有効ピオ数は約 4.6 であり、“Smaller HS”ケースとほぼ同じである。つまり、局所的な温度である“Bottom Chassis”温度については本テストケースにより下げることができたが、伝熱経路全体としての放熱性能はほぼ変わらず、改善が必要である。

#### 4.3.4.3 “Larger HS”及び“Graphite Sheet”ケース

筐体表面における放熱は、ニュートンの冷却法則から平均表面温度に比例するため、表体表面のホットスポットを抑える効率的な方法は、筐体表面の平均温度を適切に管理しつつ、熱源の熱をできる限り筐体全体に拡散させることである。つまり、筐体表面が一様な温度分布に近づくように制御することが熱マネジメントにおいて最適ということになる。

“Larger Heat Spreader (HS)”ケース及び“Graphite Sheet”ケースでは、筐体表面の平均温度を適切に管理しながら、熱源から熱を拡散させる。発熱源であるシリコンダイから効率的に熱を拡散させるために、これらのテストケースでは前述の 2 つのテストケースよりも大きいヒートスプレッドを採用する。大きいヒートスプレッドを採用する主な目的は、通常、シリコンダイ温度を低減することであるが、同時に筐体表面に効率的に熱を伝えるのにも役立つ。ヒートスプレッドはシリコンダイに装着するため、マザーボードとの相対位置は常に一定である。また、スレート型筐体では、コンポーネントが実装されたマザーボードとバッテリーパックには厚みがあるため、筐体厚みを減らすために通常これらは水平方向に並べて配置される。“Larger HS”ケースのヒートスプレッドの水平方向のサイズはマザーボードと同じであり、本節で扱うスレート型筐体の設計で可能な最大サイズである。

“Larger HS”ケースでは、6 つのすべての温度モニタポイントが“Air gap”ケースよりも低くなる（図 4.14）。本テストケースにおける伝熱経路の構成は前述の 2 つのテストケースと同じである（図 4.17）。ただし、ヒートスプレッドがマザーボードと同サイズになったため、伝熱経路(j)は存在するものの、それほど働かない（約 0.1W）。下方の伝熱経路については、より多くの熱が伝熱経路(a)（約 3.5W）から伝熱経路(c)

(約 2.6W) に流れるようになる。一方、伝熱経路(d)に流れる熱は少なくなる (約 0.8W)。上方の伝熱経路については、伝熱経路(i) (約 0.5W) を除いては、伝熱量が小さくなる (伝熱経路(e)で約 1.0W, 伝熱経路(g)及び(h)で約 1.1W)。

“Larger Heat Spreader (HS)”ケースでは、有効ピオ数は約 4.0 であり、前の 2 つのテストケースと比べて伝熱経路における熱伝導が改善されていることが分かる。

“Graphite Sheet”ケースでは、ヒートスプレッドの熱をより効果的に底面筐体に伝えるため、グラファイトシートを底面筐体内側に適用する。グラファイトシートを使用する主な目的は筐体表面におけるホットスポットを解消することにあるが、許容される条件内で底面筐体の表面平均温度を極力上げることによって底面筐体における放熱量を増やす役割も兼ねている。本テストケースでは、6 つの温度モニタポイントすべてで“Larger HS”ケースよりも温度が下がる (図 4.14)。特に“Bottom Chassis”温度は劇的に低下しており、“Motherboard”温度よりも低くなっている。伝熱経路(a)を通過する熱は約 3.7W に増え、そのほとんどが空隙を介してグラファイトシートに流れる (図 4.18 (k), 約 3.4W)。伝熱経路(d)は存在するものの、前述のテストケースに比べて、約 0.2W とはるかに伝熱量が少ない。また、シリコンダイ底面からマザーボードへの伝熱経路(e)も約 0.8W に減少する。これにより、マザーボードにおけるホットスポット温度が低下し、筐体内の各部材の温度を抑えるのに役立っている。例えば、LCD パネルは、適切に温度管理を行う必要のある部材の一つであるが、マザーボード温度低減により、LCD パネル温度も仕様内に収まる。

熱は、グラファイトシートの面方向に拡がった (図 4.18 (l)) 後、2 つの伝熱経路に分かれる。1 つはグラファイトシートから底面筐体に伝わる伝熱経路 (図 4.18 (m), 約 2.7W)、もう一つはグラファイトシートから空隙とバッテリーを介して LCD パネルに伝わる伝熱経路 (図 4.18 (n), 約 0.7W) である。伝熱経路

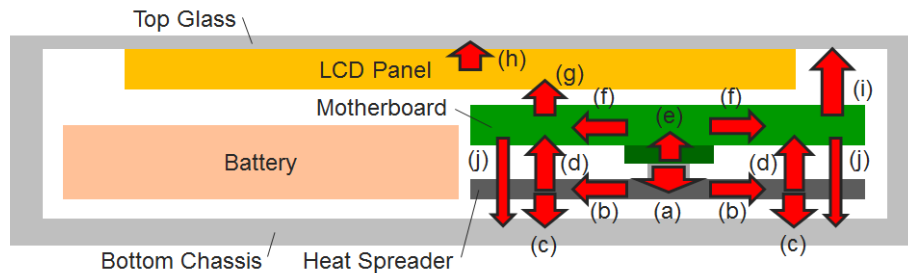


Figure 4.17 Major Heat Transfer Paths of “Larger HS” Case.

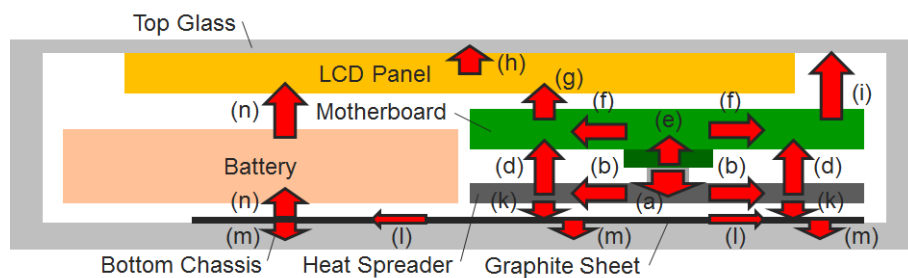


Figure 4.18 Major Heat Transfer Paths of “Graphite Sheet” Case.



(m)はホットスポットを作らずに底面管体の平均温度を上げるのに役立っている。一方、グラファイトシートによる熱拡散(図 4.18 (l))は新たにもう一つの伝熱経路(n)を作り出している。伝熱経路(d)及び(e)を通る熱が減っているため、マザーボードから LCD パネルへの伝熱経路(g)及びマザーボードから上面ガラスへの伝熱経路(i)を通る熱もそれぞれ約 0.6W, 約 0.4W に減少している。そして、伝熱経路(n)が上面ガラスと底面管体から放熱する伝熱量のバランスを取るように働く。

なお、“Graphite Sheet”ケースにおける有効ピオ数は約 2.2 であり、熱伝導部の伝熱が大幅に改善されていることが分かる。

#### 4.3.5 各部における伝熱量の比較

図 4.19 に各テストケースにおける主要な伝熱経路の伝熱量を示す。下方の伝熱経路である伝熱経路(a)及び(c)/(m)の伝熱量は“Smaller HS”ケースから“Air Gap”ケースに変わると減少するが、“Larger HS”ケース、“Graphite Sheet”ケースでは逆に増加する。この結果は、大きなヒートスプレッダやグラファイトシートにより、これらの伝熱経路における伝熱を促進していることを意味する。対照的に、上方の伝熱経路である伝熱経路(d), (e), (g), (j)を通過する伝熱量は“Smaller HS”ケースから“Air Gap”ケースに変わると増加するが、“Larger HS”ケース、“Graphite Sheet”ケースでは減少している。

伝熱経路(h)及び(i)については、すべてのテストケースにおいて伝熱量にそれほど大きな違いは見られなかった。“Graphite Sheet”ケースでは、伝熱経路(n)が上方及び下方の伝熱経路の伝熱量のバランスを調整するように働く。また、伝熱経路(c)/(m)と(j)の合計はケース間で大きな違いがなかった。これは上面ガラス、底面管体それぞれから放熱される伝熱量は各テストケースでそれほど変化していないことを意味する。

#### 4.3.6 スレート型タブレット管体の定常解析に関するまとめ

本節では、4.5W で発熱するマイクロプロセッサを採用するファンレス設計のスレート型タブレット管体について、4 つのテストケースを用いて定常状態における温度予測を行い、それぞれのテストケースにおける温度結果と放熱経路との関係について考察した。得られた知見は以下の通りである。

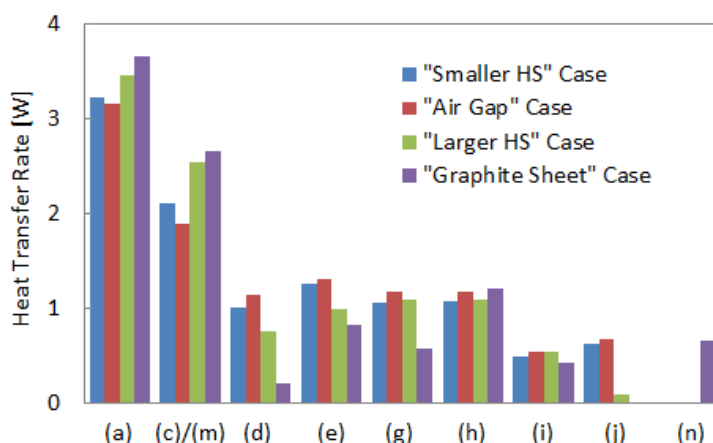


Figure 4.19 Heat Transfer Rate Comparison of Each Path.



- 空隙により、マイクロプロセッサ周辺の上方向及び下方向の伝熱経路に流れる伝熱量を調整することができる。
- 平面方向のサイズが大きいヒートスプレッダを採用することで、熱源の熱を拡散させるのに役立つだけでなく、筐体内部で熱を拡散させることができ、ホットスポットを解消しながら、筐体表面の平均温度を高く保つことができる。結果として、筐体表面からの熱伝達が効率的に行われ、筐体内部の温度を低減させることができる。
- グラファイトシートの採用により、さらに筐体表面全体に熱を伝えることが可能になる。また、それによって、筐体内部全体を伝熱経路として利用することが可能になる。

#### 4.4 熱回路網によるスレート型タブレット筐体内の伝熱経路に関する考察

前節では、表 4.2 に示す 4 つのテストケースにおけるマイクロプロセッサのシリコンダイ底面におけるホットスポット温度を示し、さらに伝熱経路の構成を示した。“Smaller HS”ケースと“Air Gap”ケースの温度差は、ヒートスプレッダ底面筐体間の空隙とマザーボード-LCD パネル間の空隙高さの減少に起因していることは明らかである。そのため、空隙の熱抵抗が温度差を生む原因となっていることを理解することは容易である。一方、伝熱経路のどの熱抵抗が“Air Gap”ケースと“Graphite Sheet”ケースにおけるホットスポット温度の違いを生じさせる原因となっているか想像するのは難しい。そこで、本節では、前節及び追加で実施した 3 次元定常熱伝導シミュレーションの結果から熱回路網における各熱抵抗を求め、テストケース間におけるそれらの変動について検証、考察する。

##### 4.4.1 マイクロプロセッサ周辺の熱回路網表現

図 4.20 にスレート型筐体内のマイクロプロセッサ周辺の熱回路網を示す。実線で垂直方向に記述した熱抵抗は部材の熱抵抗である。単一材料の場合、部材の熱抵抗は次の式から求めることができる。

$$\theta_{material} = \frac{l}{k_{material}A} \quad (4.20)$$

ここで、 $l$  は部材の厚み、 $k_{material}$  は部材の熱伝導率、 $A$  は部材の断面積である。一方、実線で水平方向に記述された熱抵抗は拡大熱抵抗もしくはマイクロプロセッサのシリコンダイ底面における局所熱抵抗である ( $\theta_{Die-local}$ )。3.3 節で示した通り、部材の熱抵抗とは異なり、拡大熱抵抗や局所熱抵抗は部材境界の状態によって値が変動するため、実用的な精度で温度予測を行うには、これらの熱抵抗値の変更による伝熱経路全体への影響を把握しておく必要がある。そのため、本節では、前節で扱った 4 つのテストケースにおける拡大熱抵抗及び局所熱抵抗の変動について検証する。なお、図 4.20 中、破線で示した熱抵抗は空隙の熱抵抗もしくは空隙の熱抵抗を含む合成熱抵抗である。

図 4.20 の熱回路網の基本的な構成は 3.2 節で示したものと同じである。ただし、ヒートスプレッダ底面 ( $\bar{T}_{HS-bottom}$ ) とマザーボード上面 ( $\bar{T}_{Brd-top}$ ) の間の熱抵抗  $\theta_{HS-Brd}$  を介する伝熱経路、マザーボード上面と底面筐体の間の空隙を通る伝熱経路がある点が 3.2 節のものとは異なる。なお、後者の伝熱経路はマザーボードよりも小さいヒートスプレッダを採用している“Smaller HS”ケース及び“Air Gap”ケースにのみ存在する。

図 4.21 に 4 つのテストケース間で  $0.01^{\circ}\text{C}/\text{W}$  以上変動する熱抵抗を示す。特に、 $\theta_{Brd-spreading}$  及び  $\theta_{HS-Brd}$



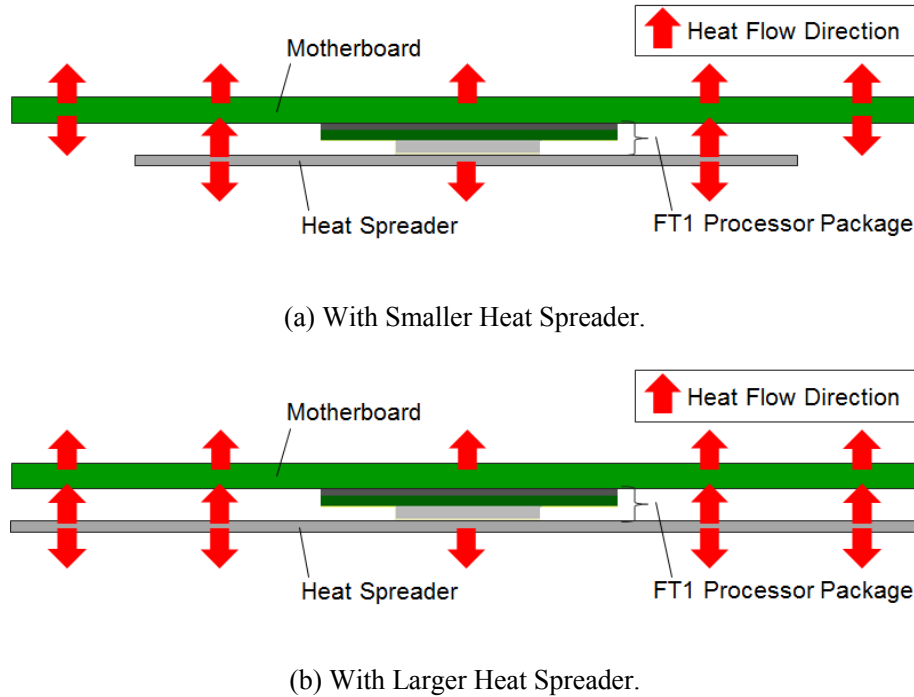


Figure 4.22 Heat flow Directions around Microprocessor.

そのため、 $\theta_{HS-Brd}$  は大きなヒートスプレッダを採用するケースでは小さい値を採っている。

#### 4.4.2 スレート型タブレット筐体の熱回路網表現

図 4.23 及び図 4.24 にスレート型筐体内の主要な伝熱経路の熱回路網を示す。

上方の伝熱経路については、熱はマザーボード底面 ( $\bar{T}_{Brd-bottom}$ ) から空隙に流れ、その後、2 つの経路に分かれる。一つはマザーボードと LCD パネルの間の空隙 ( $\theta_{Brd-LCD}$ )、LCD パネル ( $\theta_{LCD}$ ) を通って、スレート型筐体の上面ガラス底面 ( $\bar{T}_{TopGlass-bottom}$ ) 内に拡大熱抵抗 ( $\theta_{TopGlass-spreading}$ ) を伴って拡がる。もう一方の経路は、空隙を介して直接上面ガラスに到達する経路である。その後、熱は上面ガラス ( $\theta_{TopGlass}$ ) を通って上面ガラスの上面 ( $\bar{T}_{TopGlass-top}$ ) に至り、周囲空気による対流熱伝達により冷却される。

下方の伝熱経路については、テストケースによって熱回路網の構成が異なる。“Smaller HS” ケース、“Air Gap” ケース、“Larger HS” ケースについては、熱はヒートスプレッダ上面 ( $\bar{T}_{HS-top}$ ) からヒートスプレッダと底面筐体の間に存在する空隙 ( $\theta_{HS-AirGap}$ ) に流れ、その後、ヒートスプレッダのエリアから底面筐体全体に拡がる際に生じる拡大熱抵抗 ( $\theta_{BottomChassis-spreading}$ ) を介して、底面筐体の上面 ( $\bar{T}_{BottomChassis-top}$ ) に到達する (図 4.23)。なお、“Smaller HS” ケースでは、ヒートスプレッダは底面筐体に直接接しているため、 $\theta_{HS-AirGap}$  は存在しない。また、小さなヒートスプレッダを採用している“Smaller HS” ケースと“Air Gap” ケースのみ、マザーボード上面から底面筐体上面に流れる経路 ( $\theta_{Brd-BottomChassis}$ ) が存在する。

“Graphite Sheet” ケースでは、“Larger HS” ケースにグラファイトシートが追加されただけであるが、下方の伝熱経路は図 4.24 に示すように大きく異なる。熱はヒートスプレッダ上面 ( $\bar{T}_{HS-top}$ ) からヒートスプレッダとグラファイトの間に存在する空隙 ( $\theta_{HS-AirGap}$ ) を通り、ヒートスプレッダエリアからグラファイト

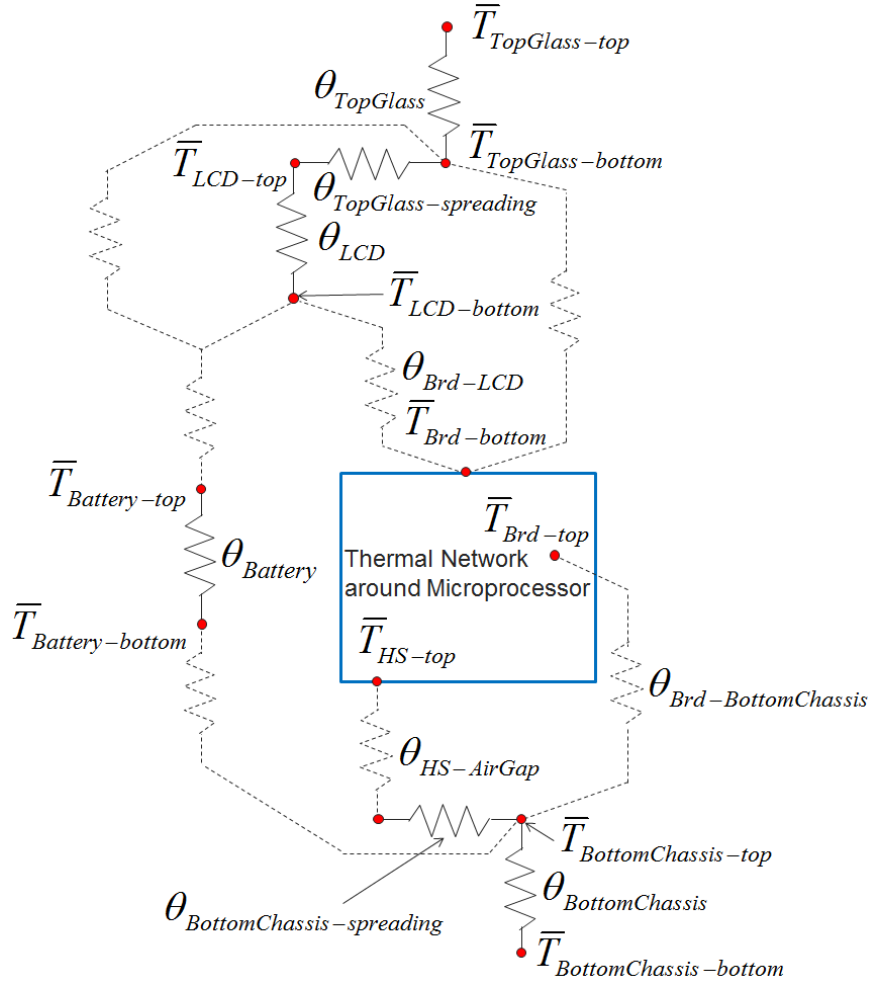


Figure 4.23 Thermal Network of Slate Style Chassis.

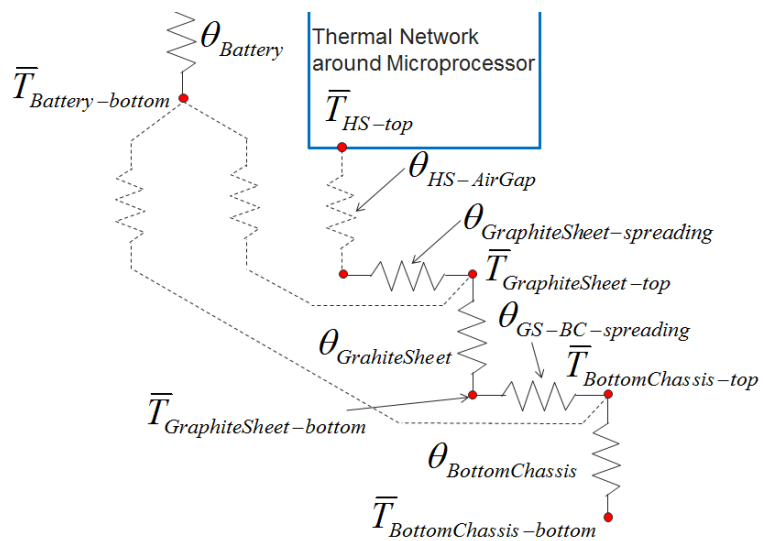


Figure 4.24 Lower Heat Transfer Paths of Thermal Network for "Graphite Sheet" Case.

トシートサイズへの拡大熱抵抗 ( $\theta_{\text{GraphiteSheet-spreading}}$ ) を伴って、グラファイトシート上面全体 ( $T_{\text{GraphiteSheet-top}}$ ) に拡がり、グラファイトシート ( $\theta_{\text{GraphiteSheet}}$ ) を通り抜け、再び底面筐体上面で拡大熱抵抗 ( $\theta_{\text{GS-BC-spreading}}$ ) を伴って上面全体に拡がっていく。

その後、4つのテストケースとともに、熱は底面筐体部材 ( $\theta_{\text{BottomChassis}}$ ) を通り抜け、外部に面する底面筐体の底面 ( $T_{\text{BottomChassis-bottom}}$ ) に到達すると、周囲空気による対流熱伝達により冷却される。また、図 4.23 及び図 4.24 に示す通り、底面筐体やグラファイトシートから空隙やバッテリー ( $\theta_{\text{Battery}}$ ) を介して LCD パネルや上面ガラスに至る伝熱経路も存在する。

図 4.25 にスレート型筐体内の主な伝熱経路における熱抵抗値を示す。下方の伝熱経路の構成はテストケースによって異なるため、ヒートスプレッダ上面から底面筐体上面までの合成抵抗 ( $\theta_{\text{HS-BottomChassis}}$ ) として比較する。 $\theta_{\text{HS-BottomChassis}}$  は、“Smaller HS”ケースでは  $\theta_{\text{BottomChassis-spreading}}$ 、“Air Gap”ケース、“Larger HS”ケースでは  $\theta_{\text{HS-AirGap}}$  と  $\theta_{\text{BottomChassis-spreading}}$  の和、“Graphite Sheet”ケースでは  $\theta_{\text{HS-AirGap}}$ 、 $\theta_{\text{GraphiteSheet-spreading}}$ 、 $\theta_{\text{GraphiteSheet}}$ 、 $\theta_{\text{GS-BC-spreading}}$  の和である。図 4.25 より、特に  $\theta_{\text{Brd-LCD}}$  及び  $\theta_{\text{HS-BottomChassis}}$  が大きな変動を示すことが分かる。 $\theta_{\text{Brd-LCD}}$  変動の主な原因は図 4.22 に示した熱の流れの向きの違いと後で述べるバッテリーを介した伝熱経路の存在の有無である。

$\theta_{\text{HS-BottomChassis}}$  は4つのテストケースで大きく値が変動する。図 4.26 に  $\theta_{\text{HS-BottomChassis}}$  を構成する熱抵抗の内訳を示す。底面筐体上面における拡大熱抵抗 ( $\theta_{\text{BottomChassis-spreading}}$ ) が  $\theta_{\text{HS-BottomChassis}}$  の中でその大半を占めている。“Larger HS”ケースでは、大きいヒートスプレッダの採用により、 $\theta_{\text{BottomChassis-spreading}}$  が小さいヒートスプレッダを採用する2つのテストケースと比べて 50~60%程度に抑えられている。グラファイトシートを採用する“Graphite Sheet”ケースでは、拡大熱抵抗の和 ( $\theta_{\text{GraphiteSheet-spreading}} + \theta_{\text{GS-BC-spreading}}$ ) がさらに“Larger HS”ケースにおける拡大熱抵抗  $\theta_{\text{BottomChassis-spreading}}$  の 30%以下に抑えられている。以上から、下方の伝熱経路の拡大熱抵抗を小さく抑えるには、グラファイトシートの採用が効果的であると言える。

熱がグラファイトシート及び底面筐体に沿って効率的に流れることにより、グラファイトシートや底面筐体からバッテリーを介して LCD パネルや上面ガラスに続く新たな伝熱経路が形成される。これらの伝熱経路は“Graphite Sheet”ケースにおいてのみ、下方寄りから上方寄りへの伝熱経路として有効に働く。

$\theta_{\text{Brd-BottomChassis}}$  は“Smaller HS”ケースと“Air Gap”ケースではほぼ同じ値に留まっている。マザーボード温

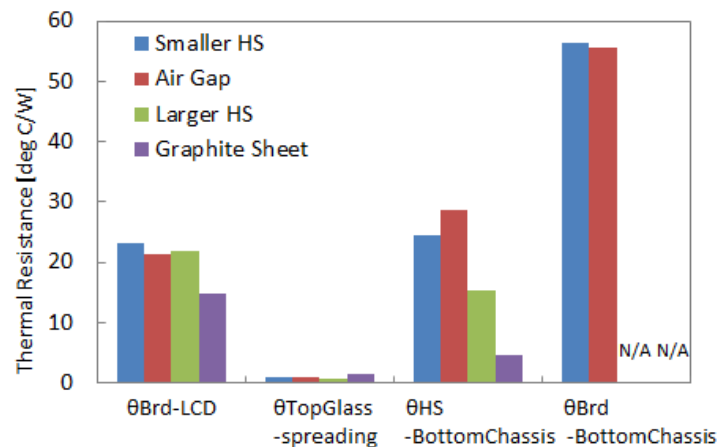


Figure 4.25 Thermal Resistance Variation between Four Test Cases in Slate Style Chassis.

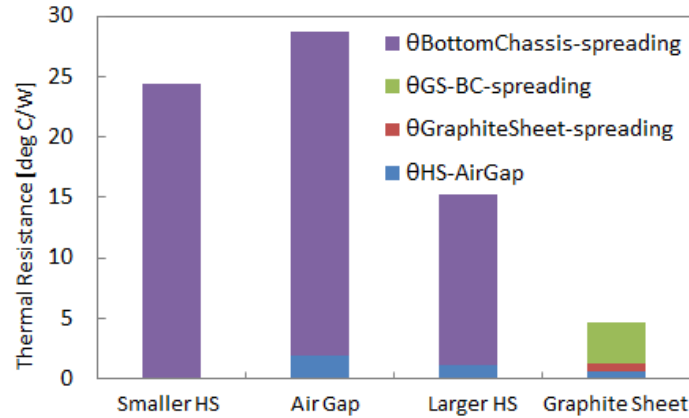


Figure 4.26 Thermal Resistance Composition of  $\theta_{\text{HS-BottomChassis}}$ .

度は通常ヒートスプレッダ温度よりも低いため、 $\theta_{\text{Brd-BottomChassis}}$  を介する伝熱経路はスレート型筐体全体の放熱性能に及ぼす影響は限定的である。

#### 4.4.3 熱の流れの分岐に関する考察

4.4.1 項から、マイクロプロセッサに取り付けられたヒートスプレッダのサイズが変わると、その対面に位置するマザーボードへの熱の流れの向きが変わり（図 4.22），結果として、マイクロプロセッサが実装されているマザーボード底面における拡大熱抵抗  $\theta_{\text{Brd-spreading}}$  が大きく変動することが判明した（図 4.21）。本項では、図 4.27 に示す単純化したマザーボードモデルを用いて、3次元定常熱伝導シミュレーションを実施し、熱の流れの違いによるマザーボードの熱抵抗値変動の影響について検証、考察を行う。

##### 4.4.3.1 シミュレーション条件

図 4.27 に示すマザーボード（ $175 \times 100 \times 1.6$  mm）を解析の対象とする。マザーボードは、底面中央部（赤斜線部、 $20 \times 20$  mm）で均一加熱され、それ以外の底面及び上面表面において、第3種境界条件で外部と熱交換が行われるものとする。表 4.3 に本項で取り扱う各テストケースの境界条件を示す。底面表面に関しては全体に渡って一様な熱伝達率を設定する。一方、底面表面に関しては2つのエリア（青横線部、緑縦線部）に分け、それぞれに一様な熱伝達率を設定する。また、側面はすべて断熱とする。表 4.3 に示すパラメータを変化させた際のマザーボード底面部における拡大熱抵抗値への影響について検証する。なお、拡大熱抵抗は、3.2 節に示した通り、

$$\theta_{\text{spreading}} = \frac{\bar{T}_{kp} - \bar{T}_k}{\dot{Q}_{in}} \quad (4.21)$$

と定義できる。ここで、 $\bar{T}_{kp}$  は断面積の異なる部材隣接する面における断面積の小さい部材端部の平均温度、 $\bar{T}_k$  は断面積の大きい部材端部の平均温度、 $\dot{Q}_{in}$  は2つの部材が隣接する面に通過する伝熱量である。なお、平均温度は以下のように定義できる。

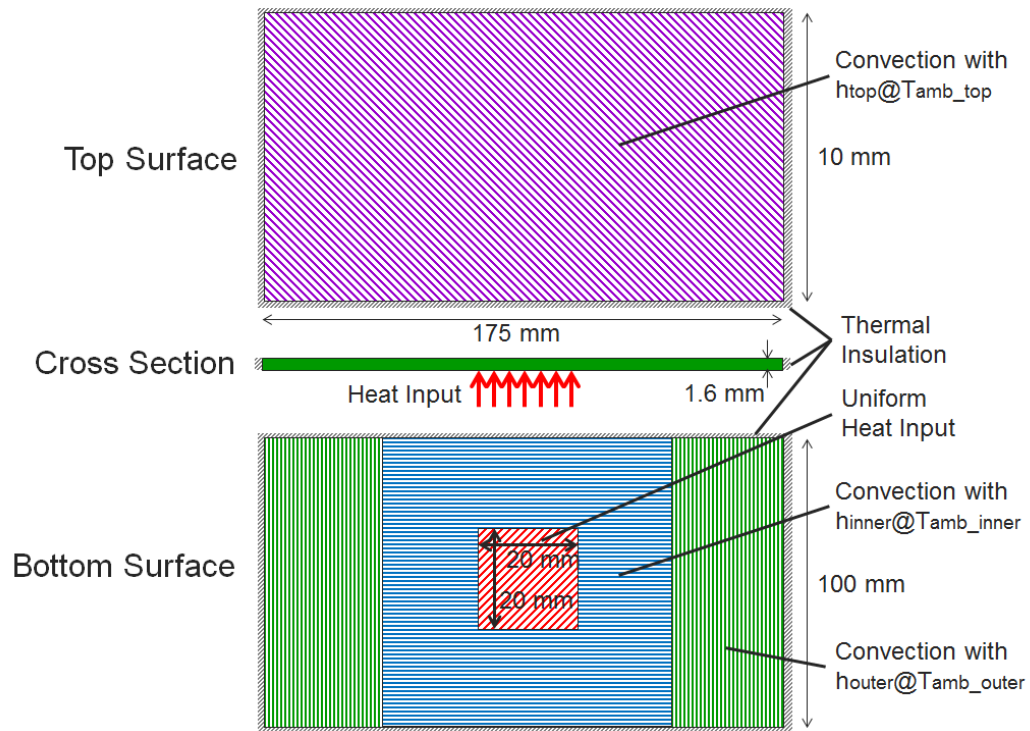


Figure 4.27 Motherboard Model.

Table 4.3 Boundary Conditions.

Case		Inner Area [mm <sup>2</sup> ]	Heat Transfer Coefficient [W/m <sup>2</sup> K]			Ambient Temperature per Input Power [°C/W]		
			hinner	hout	htop	Tamb_inner/Q	Tamb_out/Q	Tamb_top/Q
Test A	Smaller HS, 1.0W/m <sup>2</sup> K	100 x 100	1.0			change (0, 10, 20, 30, 40, 50)	0	
	Larger HS, 1.0W/m <sup>2</sup> K	175 x 100						
	Smaller HS, 3.0W/m <sup>2</sup> K	100 x 100	3.0					
	Larger HS, 3.0W/m <sup>2</sup> K	175 x 100						
	Smaller HS, 5.0W/m <sup>2</sup> K	100 x 100	5.0					
	Larger HS, 5.0W/m <sup>2</sup> K	175 x 100						
Test B	0 °C/W	change (100, 120, 140, 160, 175) x 100	3.0			0	0	
	10 °C/W					10		
	20 °C/W					20		
	30 °C/W					30		
	40 °C/W					40		
	50 °C/W					50		
Test C	Smaller HS, 1.0W/m <sup>2</sup> K	100 x 100	1.0	3.0	change (0, 10, 20, 30, 40, 50)	0		
	Larger HS, 1.0W/m <sup>2</sup> K	175 x 100						
	Smaller HS, 1.5W/m <sup>2</sup> K	100 x 100	1.5					
	Larger HS, 1.5W/m <sup>2</sup> K	175 x 100						
	Smaller HS, 2.0W/m <sup>2</sup> K	100 x 100	2.0					
	Larger HS, 2.0W/m <sup>2</sup> K	175 x 100						
	Smaller HS, 3.0W/m <sup>2</sup> K	100 x 100	3.0					
	Larger HS, 3.0W/m <sup>2</sup> K	175 x 100						

$$\bar{T} = \int_{\text{surface}} T dA / \int_{\text{surface}} dA \quad (4.22)$$



本項においては、底面中央部（20 × 20 mm）の平均温度が  $\bar{T}_{kp}$ ，マザーボード底面全体の平均温度が  $\bar{T}_k$  である。

解析解を用いることができれば、高精度に熱抵抗を算出することが可能であるが、境界条件が単純なケース [4-19]を除いては一般的に解析解を得ることは難しい。そこで、本項では、式（4.10）を離散化して有限差分法で解くことで、拡大熱抵抗値を算出する。マザーボードの各方向における熱伝導率は、それぞれ 30 W/m<sup>2</sup>K, 30 W/m<sup>2</sup>K, 0.45 W/m<sup>2</sup>K とする。領域を x, y, z 各方向について 176 × 102 × 14 に分割し、計算を行う。

#### 4.4.3.2 シミュレーション結果

表 4.3 の Test A の境界条件による拡大熱抵抗値の変動を図 4.28 に示す。Test A では、マザーボード上面、マザーボード底面外側の周囲温度は同一とし、マザーボード底面内側の周囲温度をそれより高く設定した場合の拡大熱抵抗の変動を示している。図中の  $\Delta T_{amb\_inner}$  はマザーボード底面内側の周囲温度 ( $T_{amb\_inner}$ ) とマザーボード底面外側上面及び上面の周囲温度 ( $T_{amb\_outer}$ ,  $T_{amb\_top}$ ) の差である。Smaller HS の拡大熱抵抗は  $\Delta T_{amb\_inner}$  が大きくなるにつれて値が減少するのに対し、Larger HS の拡大熱抵抗は逆に増加していくことが分かる。その傾向は、熱伝達率が大きくなるほど顕著になる。

前節では、ヒートスプレッダに対面するエリアに相当するサイズの違いによって、拡大熱抵抗値の変化が異なる傾向を示した。本節では、その傾向についてさらに調査するため、表 4.3 の Test B の境界条件を用いて、マザーボード底面内側のサイズを変化させた。その際の拡大熱抵抗の変動を図 4.29 に示す。どの温度差においてもマザーボード底面内側のサイズが大きくなるほど、拡大熱抵抗が減少していくことが分かる。

続いて、表 4.3 の Test C の境界条件を用いて、マザーボード底面と上面で異なる熱伝達率が与えられた場合の拡大熱抵抗の変動を図 4.30 に示す。マザーボード底面内側のサイズの違いによる傾向は図 4.27 と同様であるが、底面の熱伝達率が大きくなるにつれて、その傾向が顕著になることが分かる。

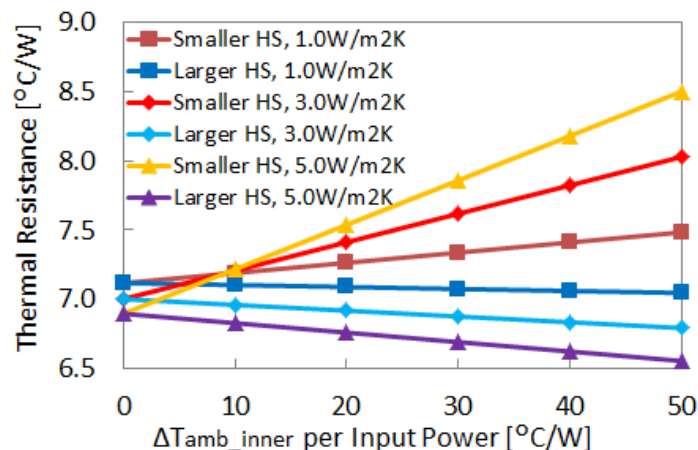


Figure 4.28 Thermal Spreading Resistance Variation with Ambient.



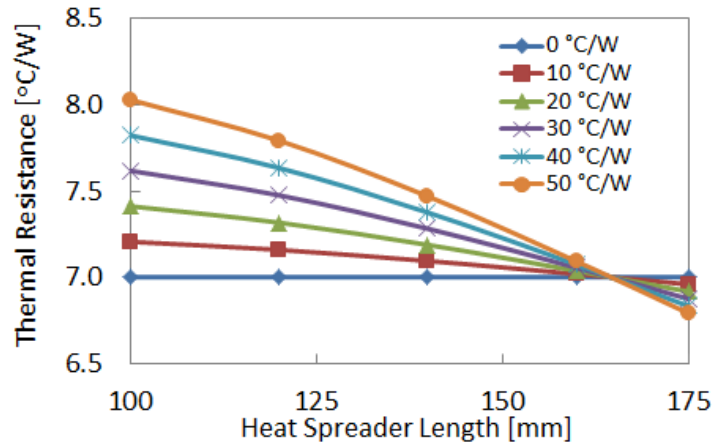


Figure 4.29 Thermal Spreading Resistance Variation with Heat Spreader Size in The Case of  $3.0 \text{ W/m}^2\text{K}$ .

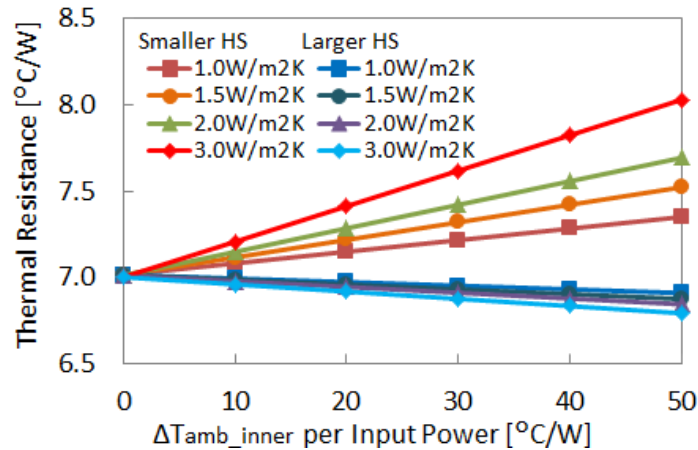


Figure 4.30 Thermal Spreading Resistance Variation with Different Heat Transfer Coefficient and Ambient.

#### 4.4.4 熱回路網によるスレート型タブレット筐体内の伝熱経路に関する考察のまとめ

本節では、3次元定常熱伝導シミュレーションの結果を熱回路網として表現することで、スレート型筐体内の伝熱経路における各部の熱抵抗値変動を検証し、その原因について考察した。また、単純なマザーボードモデルを使用して、境界条件の違いによる熱抵抗値への影響を考察した。得られた知見は以下の通りである。

- － マザーボードの構成が変わらなかったとしても、対向するヒートスプレッドサイズが変わると、マザーボードにおける熱の流れが変わるため、結果としてマザーボードにおける拡大熱抵抗の値が変動する。
- － 大きいヒートスプレッドやグラフィートシートの採用により、拡大熱抵抗は大幅に低減する。結果として、それらが属する伝熱経路の総熱抵抗を大幅に低減することができる。
- － マザーボード表面における条件によって拡大熱抵抗は  $1^\circ\text{C/W}$  以上変動するため、注意が必要である。

## 4.5 スレート型タブレット筐体の非定常解析

本節では、4.3 節と同じモデルを使用し、マイクロプロセッサが 1.0W で定常状態に至った後、4.5W の TDP (Thermal Design Power) 相当のアプリケーション負荷がかかった際の非定常温度遷移について検証する。

### 4.5.1 シミュレーションの実施とその結果

図 4.11 に示すスレート型タブレット筐体をモデル領域として、4.3 節で説明した“Graphite Sheet”ケースについて有限体積法による非定常熱伝導シミュレーション [4-17]を実施する。

図 4.31 に最初の 200 秒間の温度遷移を示す。まず最初に“Silicon Die”温度及び“Heat Spreader”温度が  $t = 0$  直後に上昇を開始する。続いて、“Motherboard”温度が  $t = 0$  から 1 秒以内に上昇を開始する。残りの 3 つの温度モニタポイントの温度は  $t = 0$  からしばらくの間値が変動しないが、その後、少しずつ温度を上昇させていく。

### 4.5.2 各温度モニタポイントにおける温度差

各温度モニタポイントにおける温度遷移の原因を理解するため、2 つの温度モニタポイント間の温度差を図 4.32 に対数表示で示す。

“Silicon Die”と“Heat Spreader”の温度差は大きく変動することではなく、ほぼ一定に近い値を採り続ける。これはマイクロプロセッサの発熱が“Heat Spreader”に非常に早く伝わっていることを示している。値が少しずつ変動するのは上方と下方の伝熱経路に流れる熱の割合が時々刻々と変化していることに起因していると考えられる。

“Silicon Die”と“Motherboard”の温度差は、時刻ゼロから急激に変化を開始し、10 秒以内にほぼ一定値に到達する。これにより、マザーボードにおける熱の拡がりにかかる時間が数秒間であることが分かる。

“Heat Spreader”と“Bottom Chassis”の温度差は、時刻ゼロから急激に変化を開始し、その後しばらくの間(約 100 秒もしくはそれよりやや短い期間)上昇を続け、その後、定常状態に至る。また、“Motherboard”と“LCD Panel”の温度差は、時刻ゼロ以降、温度上昇を開始し、その後も温度上昇し続ける。この値が長

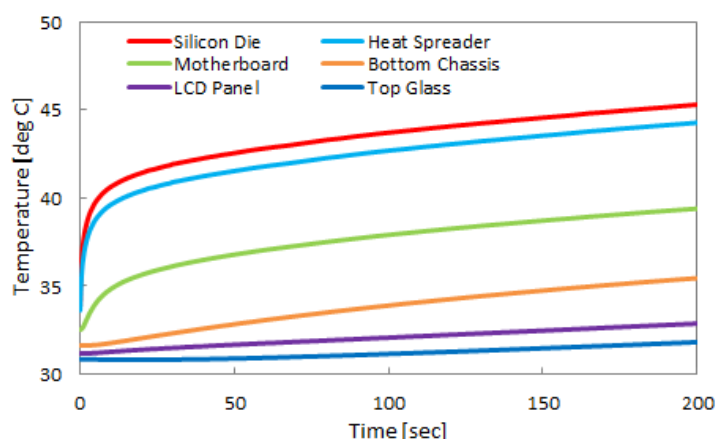


Figure 4.31 Transient Simulation Result.

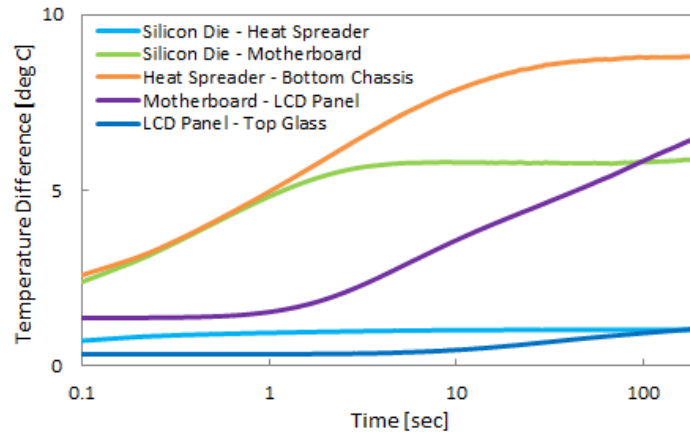


Figure 4.32 Transient Temperature Difference along Heat Transfer Paths.

い時間上昇を続ける原因は空隙である。つまり、空隙における伝熱が定常状態に至るには長い時間がかかる。そして、これをうまく利用することができれば、筐体表面温度の制御に用いることができると考えられる。

“LCD Panel”と“Top Glass”の温度差は、10 秒後 ( $t = 10$ ) 付近から緩やかに上昇を開始する。温度差は小さいものの、数秒遅れで“Motherboard”と“LCD Panel”の温度差と同様にそのまま値が上昇し続ける。

#### 4.5.3 スレート型タブレット筐体の非定常解析に関するまとめ

本節では、スレート型筐体を採用するファンレス設計のタブレットデバイスをモデル領域として、3次元非定常熱伝導シミュレーションを実施し、各温度モニタポイントの温度遷移について検証、考察した。得られた知見は以下の通りである。

- 温度モニタポイントによって、温度上昇のタイミングは異なる。
- “Silicon Die”と“Heat Spreader”の温度差はマイクロプロセッサの発熱が“Heat Spreader”に非常に速く伝わるため、大きく変動することはなく、ほぼ一定に近い値を採り続ける。
- “Silicon Die”と“Motherboard”の温度差は、時刻ゼロから急激に変化を開始し、10 秒以内にほぼ一定値に到達する。これにより、マザーボードにおける熱の拡がりにかかる時間が数秒間であることが分かる。
- “Motherboard”と“LCD Panel”の温度差は、時刻ゼロ以降、温度上昇を開始し、その後も温度上昇し続ける。この値が長い時間上昇を続ける原因は空隙である。空隙における伝熱が定常状態に至るには長い時間がかかるため、筐体表面温度の制御に用いることができると考えられる。

## 4.6 まとめ

小型電子機器の薄型化に伴って、より綿密な筐体の熱設計とともに、マイクロプロセッサの消費電力制御を含むシステムの非定常挙動を考慮し、それをうまく利用した、いわゆるシステムレベルの非定常熱設計が必要となってきた。そのため、本章では、システムレベルの非定常熱設計に関するトピック

クについて論じた。

4.1 節では、システムレベルの非定常熱設計の必要性及び本章の構成について説明した。限られたスペースに高性能なマイクロプロセッサを搭載するには、定常状態のみを考慮した既存の熱設計だけではデザイン、コスト双方の観点から競争力の高い製品を作り出すことは不可能であり、マイクロプロセッサの動的な消費電力管理機能や機器筐体の非定常状態における温度遷移を考慮した非定常熱設計を組み合わせた新たな熱設計手法へのパラダイムシフトが必要となってきたことについて述べた。

4.2 節では、電子機器筐体の表面温度制御を目的として、マイクロプロセッサ内蔵の消費電力制限機能を用いた非定常温度制御について、3次元非定常熱伝導シミュレーションを実施し、その結果について考察した。近年の薄型筐体の表面温度を考慮した非定常熱設計については、既往研究において十分な考察がなされていないのが現状であり、シミュレーション結果の考察から、消費電力制限中の温度変化の傾向は消費電力制限時の消費電力値及びその開始時刻によって決まり、消費電力制限の継続時間が変化しても、実用的な時間範囲では温度変化の傾向は変化しないという新たな知見を得た。

スレート型筐体についてはすでにさまざまな製品が存在するものの、1～3W 程度のマイクロプロセッサの採用が大半であり、より高消費電力、高性能なマイクロプロセッサを搭載するには、綿密な熱設計が必要である。4.3 節～4.5 節では、薄型筐体の伝熱経路のスレート型（板状）筐体を採用するファンレス設計のタブレットデバイスの非定常熱設計に関する知見を得ることを目的として、まず定常状態における伝熱経路について詳細に検証、考察し、最終的に非定常状態の温度遷移について考察した。4.3 節では、筐体内の伝熱経路を変更した4つのテストケースを用いて、3次元定常熱伝導シミュレーションを実施し、熱伝導部における伝熱性能について有効ビオ数を導入して評価するとともに各部の伝熱量を確認し、筐体内の熱の流れについて検証した。4.4 節では、4.3 節のシミュレーション結果について、熱回路網を用いて考察した。平面方向のサイズが大きいヒートスプレッドを採用することで、熱源の熱を拡散させるのに役立つだけでなく、筐体内部で熱を拡散させることができ、ホットスポットを解消しながら、筐体表面の平均温度を高く保つことができること、マザーボードの構成が変わらなかったとしても、対向するヒートスプレッドサイズが変わると、マザーボードにおける熱の流れが変わるため、結果としてマザーボードにおける拡大熱抵抗の値が変動すること、グラフィートシートの採用により、さらに筐体表面全体に熱を伝えることが可能になり、筐体内部全体を伝熱経路として利用することが可能になることが分かった。4.5 節では、3次元非定常熱伝導シミュレーションを実施した。非定常状態では、マザーボードにおける熱の拡がりにかかる時間が数秒間であるのに対して、空隙における伝熱が定常状態に至るには長い時間がかかることが確認された。

## 参考文献

- [4-1] “2.5.3 CPU Power Management”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 14h Models 00h-0Fh Processors, Publication # 43170, Rev 3.13, pp. 54-70, February 2012.
- [4-2] “2.5.3 CPU Power Management”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 16h Models 00h-0Fh Processors, Publication # 48751, Rev 3.01, pp. 56-69, October 2013.
- [4-3] 石塚勝, 福岡義孝, “マルチチップパッケージ基板の過渡温度上昇”, 日本機械学会論文集B編, Vol. 52, No. 476 (1986), pp. 1772-1776.
- [4-4] 石塚勝, 福岡義孝, “相変化材を用いた高発熱パッケージ冷却技術の開発 (熱回路網法の相変化現象解析への応用)”, 日本機械学会論文集B編, Vol. 60, No. 574 (1994), pp. 2165-2170.
- [4-5] 佐藤良輔, 寺尾博年, 廣瀬宏一, “蓄熱シートを用いた小型電子機器の温度応答特性”, F224, 日本伝熱シンポジウム論文集 (2011) .
- [4-6] K. Nishi, “Transient Heat Conduction Simulation of The Microprocessor Investigation regarding Thermal Control with Power Limiting”, ICEP-IAAC 2012 Proceedings, FC4-1, pp. 545-550 (2012).
- [4-7] 西剛伺, 畠山友行, 石塚勝, “消費電力制限機能を有するマイクロプロセッサの非定常熱伝導シミュレーション”, 電子情報通信学会論文誌 C, Vol.J96-C, No.11, pp. 419-426 (2013).
- [4-8] K. Nishi, T. Hatakeyama, and M. Ishizuka, “Transient Heat Transfer of The Microprocessor System Investigation regarding Natural Convection with Slate Style Chassis”, ICEP2013 Proceedings, WD2-2, pp. 101-105, April 2013.
- [4-9] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Heat Transfer of The Microprocessor System Investigation regarding Natural Convection with Slate Style Chassis”, Transactions of The Japan Institute of Electronics Packaging, Vol. 6, No. 1, pp. 70-77 (2013).
- [4-10] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “One-Dimensional Thermal Network Expression of Tablet Device with Slate Style Chassis”, ICEP2014 Proceedings, FC3-1, pp. 585-590 (2014).
- [4-11] “The worlds first combination of low-power CPU and advanced GPU intergrated into a single embedded device”, Product Brief : AMD Embedded G-Series APU Platform, Publication # 49282 (2013).
- [4-12] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 14h Models 00h-0Fh Processors, Publication # 43170, Rev 3.13, pp. 114-117, February 2012.
- [4-13] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 16h Models 00h-0Fh Processors, Publication # 48751, Rev 3.01, pp. 141-143, October 2013.
- [4-14] M. Smalc, G. Shrives, G. Chen, S. Guggari, J. Norley and R.A. Reynolds III, “Thermal Performance of Natural Graphite Heat Spreaders”, InterPACK2005, Interpack 2005-73073 (2005).
- [4-15] “3・7・4 自然対流の相関式”, JSME テキストシリーズ 伝熱工学 初版第3刷 (2006), pp. 91-94.
- [4-16] “3・7・2 垂直平板からの層流自然対流”, JSME テキストシリーズ 伝熱工学 初版第3刷 (2006), pp. 88-91.
- [4-17] FloTHERM, <http://www.mentor.com/products/mechanical/flotherm/flotherm/> (2015年1月現在)
- [4-18] “2・1・5 熱伝導方程式の無次元化”, JSME テキストシリーズ 伝熱工学 初版第3刷 (2006), pp. 27-28.

- 
- [4-19] Y. S. Muzychka, J. R. Culham, and M. M. Yovanovich, "Thermal Spreading Resistance of Eccentric Heat Sources on Rectangular Flux Channels", *Journal of Electronic Packaging*, Vol. 125, June 2003, pp. 178–185.

---

## 第 5 章

### 結論

本研究は、マイクロプロセッサの非定常動作を考慮した小型電子機器の熱設計に関する研究である。小型電子機器の設計現場において利用可能な、実用的な精度での非定常温度予測手法の確立、非定常熱設計において有用な知見の獲得を主目的として、議論を展開した。

第 1 章では、小型電子機器の熱設計及びマイクロプロセッサの性能向上の歴史、小型電子機器の薄型化及び低コスト化の要請と熱設計における現状の課題、小型電子機器の熱設計に関する課題へのアプローチと本論文の構成について示した。小型電子機器の熱設計に関する方法論は 1990 年代後半には確立された。その後、マイクロプロセッサの性能向上とともに消費電力が増大していくが、それに合わせて放熱機構の研究開発が進み、2000 年代後半には熱設計用の消費電力指標である TDP (Thermal Design Power) をほぼ固定したマイクロプロセッサの製品ラインナップが生まれ、PC (Personal Computer) メーカーは同一の熱設計を複数世代のマイクロプロセッサに適用できるようになっていった。しかし、その後、マイクロプロセッサを構成する CMOS (Complementary Metal-Oxide-Semiconductor) 集積回路の微細化によるリーク電流の問題の顕在化 [5-1]、マイクロプロセッサのマルチコア化、CPU (Central Processing Unit) と GPU (Graphics Processing Unit) を混載する APU (Accelerated Processing Unit) の登場 [5-2]により、リーク電流を加味した発熱のモデル化やシリコンダイ回路面における発熱分布の偏りを考慮した熱設計が必要となってきた。また、近年、ノートブック型 PC やタブレットデバイスは薄型化し、マイクロプロセッサを含む電子部品の温度管理だけでなく、エンドユーザが直接触れる筐体表面の温度管理の重要性が増してきている他、リーマンショック以降、コスト低減は製品開発の中でますます重要視されるようになり、部材コストだけでなく、開発そのものの効率化によるコスト削減も重要視されるようになってきている。コストを抑えつつ、適切に温度管理を行うには、以前にも増して高精度な熱解析が必要であるが、限られたスペースに高性能なマイクロプロセッサを搭載するには、既存の定常状態を前提とする熱設計だけではなく、マイクロプロセッサの動的な消費電力管理機能や機器筐体の非定常状態における温度遷移を考慮した非定常熱設計を組み合わせた熱設計手法へのパラダイムシフトが必要となってきた。

マイクロプロセッサの動的な消費電力管理機能や機器筐体の非定常状態における温度遷移を扱うには、まず適切な発熱源のモデル化が重要である。マイクロプロセッサは物理的な仕事を行うわけではないため、その電力消費のほぼすべてが熱として放出されることになる。そこで、第 2 章では、マイクロプロセッサの発熱を上述したリーク電流を加味した消費電力としてモデル化した。その結果について、5.1 節で述べる。

マイクロプロセッサの非定常動作を熱設計に取り込むには、直感的に分かり易く、かつ短時間で非定常温度予測を行う手法が不可欠である。現在では、電子機器の熱設計に熱流体シミュレーションソフトウェア [5-3～5-6]が広く用いられているが、従来の電子機器における熱設計では、定常解析が熱設計の中心である。3 次元非定常熱流体シミュレーションでは、通常、製品の開発現場で使用できる計算機環境では実時間よりもはるかに長い計算時間がかかってしまうため、半導体パッケージにおける非定常解析の

ようなシステムの一部や昇華型プリンタの非定常動作 [5-7]のようなシステムの動作そのものが非定常動作を伴うものに限られているのが現状である。一方、熱工学分野においては、古くから、各部の熱の流れ易さを熱抵抗として数値化し、仕様を満たすために定量的な議論を行い、熱設計を改善する試みがなされてきた。その中で、熱抵抗を接続して回路網としたものが熱回路網 [5-8, 5-9]であり、特に伝熱経路につき 1 次元的に 1 本の直列接続された熱抵抗群として表現すると、直感的にわかりやすく、定量的な議論も行いやすい。そこで、第 3 章では、熱回路網による小型電子機器筐体内の温度予測を実施し、予測精度について検証することとした。しかし、既存の熱回路網では各ノードを特定の点として定義するため、既存の熱回路網を 1 次元的に構成する場合、その経路で生じる温度差を適切に表現することができない。そこで、この問題を解決するために、平均温度ノードを有する熱回路網を新たに導入した。その結果について、5.2 節で述べる。

ノートブック型 PC やタブレットデバイスを含む小型電子機器の薄型化に伴って、マイクロプロセッサを含むコンポーネントの温度仕様を満たすだけでなく、筐体の表面温度に関しても綿密な見積もりが必要となっている。そのため、製品の安全性の担保、要求性能に対する過大見積もりを避けるという両面から非定常シミュレーションを用いた製品設計及び検証は急務と言える。薄型筐体ではスペース上の制約からファンレス設計を採用することが多い。ファンレス設計では、いかに筐体表面に熱を伝えるかが重要である一方で、局所的に熱を逃がしてしまうと、マイクロプロセッサのシリコンダイ温度がそれほど高くない場合であっても、筐体表面の特定エリアで温度仕様を上回ってしまう可能性がある。また、ファンレス設計に限らず、ファンを採用するシステムであっても、ファンの回転数が最大に達しても、表面温度が規定範囲を超えてしまうケースが起こり得る。そのため、より綿密な筐体の熱設計とともに、マイクロプロセッサの消費電力管理機能を含むシステムの非定常挙動を考慮し、それをうまく利用した、いわゆるシステムレベルの非定常熱設計が必要となってきた。そこで、第 4 章では、システムレベルの非定常熱設計において有用な知見の獲得を目的として、伝熱経路内の個々の部材ではなく、システム全体としての非定常動作、非定常温度遷移といったシステムレベルの非定常熱制御について検証、考察した。その結果について、5.3 節で述べる。

第 2 章から第 4 章では、主に非定常動作を実時間で検証するためのツールとして消費電力推定式及び熱回路網を用いた非定常温度予測手法、マイクロプロセッサの非定常動作を考慮したシステムレベルの熱設計について検証、考察した。一方、実際の小型電子機器では、本論文でカバーしていない、もしくは関連しているが詳細に述べていないトピックも存在する。そこで、5.4 節では、本研究の全体についてまとめた上で、今後の展望として、そのようなトピックの可能性について述べる。

## 5.1 マイクロプロセッサの発熱のモデル化について

マイクロプロセッサの発熱量は、負荷容量の電圧依存性、リーク電流の電圧依存性、温度依存性により、電源電圧やシリコンダイの温度が異なれば同じ負荷がかかっていたとしても異なる値となる。また、近年、マイクロプロセッサの動作周波数は 1GHz を超えており、時間ステップはナノ秒以下となるが、電子機器の熱設計では、電子機器筐体内の伝熱経路を解析、検証する際にはミリ秒から秒単位の時間ステップでの温度変化を対象としており、時間スケールが大きく異なる。デバイスレベルの解析を目的としている既往研究は存在するが、それらの時間ステップはマイクロ秒前後であり、本研究の目的とは合致



しない。そこで、第 2 章では、近年の半導体物性の研究で得られた電圧依存性、温度依存性のモデル式から、小型電子機器全体もしくは小型電子機器筐体内の主要な伝熱経路に関する 3 次元熱流体シミュレーションや第 3 章で導入する熱回路網に適用しやすい消費電力推定式を導出し、消費電力推定式を 3 次元熱伝導シミュレーションに適用した結果と実測結果との比較を通じて、その有効性について検証した。

まず最初に 3 次元シミュレーションや後述する熱回路網に適用しやすいマイクロプロセッサの消費電力推定式を導出した。本消費電力推定式は、マイクロプロセッサの詳細なパラメータを入手することなく、システム上での消費電力の実測から係数を求めることができるため、半導体メーカー、電子機器メーカーを問わず、広く使用できるものである。

続いて、これまで十分な議論がなされていなかった、熱解析を実施する上で適用すべき消費電力値更新の時間ステップについて検証、考察した。その結果、100 マイクロ秒以下の時間ステップで消費電力を更新すれば、電子機器筐体内の伝熱経路の解析、検証目的では、十分な精度で非定常温度予測が可能であることを確認した。

最後に、3 次元熱伝導シミュレーションにおいて、100 マイクロ秒以下の時間ステップごとに消費電力推定式から発熱量を求め直し、更新することで、マイクロプロセッサシステムの非定常温度予測を実施した。その結果、本手法により、実用的な精度で温度予測が可能であることを確認した。なお、消費電力推定式は、マイクロプロセッサの各電源に適用するものであり、第 2 章の検証で用いたマルチコア CPU の他、第 3 章から第 4 章では、GPU を混載した APU にも適用し、実用的な精度で温度予測が可能であることを確認した。また、第 4 章では、マイクロプロセッサの動作周波数や電源電圧が固定の場合だけでなく、消費電力制限時にそれらを動的に切り替える場合にも適用し、有効性を確認した。

## 5.2 熱回路網による非定常温度予測について

実時間に近い計算時間で非定常温度予測を行うことを最終目的として、第 3 章では、平均温度をノードとする熱回路網を導入し、定常状態及び非定常状態における熱抵抗の変動に関する検証、考察や熱回路網による温度予測を実施した。

非定常温度予測を行うには、まず定常状態における伝熱経路の適切なモデル化、温度予測の実現が不可欠である。そこで、まず最初に定常状態における熱回路網（以下、定常熱回路網）を導入した。既存の熱回路網では、熱の流れ方向に 1 次元的に構成した場合、温度予測誤差を生じてしまう。そこで、部材端面の平均温度をノードとする新たな熱回路網を導出した。本定常熱回路網は、部材の熱抵抗、拡大熱抵抗、局所熱抵抗から構成される。局所熱抵抗は本研究で新たに導入した概念であり、特にシリコンダイにおけるホットスポットの温度上昇を評価するのに有効である。

熱回路網による温度予測において正しい温度予測を行うには、適切な熱抵抗値の同定が不可欠である。定常熱回路網を構成する熱抵抗のうち、拡大熱抵抗、局所熱抵抗は境界条件によって値が変動する。そこで、マイクロプロセッサパッケージモデルを解析領域として 3 次元定常熱伝導シミュレーションを実施し、境界条件が変化した際のこれらの熱抵抗値の変動について定量的に検証、考察した。検証の結果、マイクロプロセッサパッケージの上下面における境界の状態やシリコンダイ底面における発熱分布が変化すると、パッケージサブストレート上面における拡大熱抵抗及びシリコンダイ底面における局所熱抵抗の値が変動することが明らかとなった。特にシリコンダイ底面の回路面における発熱が均一の場合に

は、パッケージサブストレート上面における拡大熱抵抗は上方の伝熱経路による影響が軽微であるのに対して、均一発熱でない場合には、上方、下方の伝熱経路の双方から影響を受け値が変動する。つまり、均一発熱の場合に成り立っていた前提が均一発熱でない場合には成り立つとは限らず、注意が必要である。また、シリコンダイ底面における発熱に偏りが生じるほど、パッケージサブストレート上面における拡大熱抵抗は小さな値を採り、シリコンダイ底面における局所熱抵抗は大きな値を採ることが分かった。

続いて、熱流体シミュレーションツールを用いずに熱抵抗値を算出するため、上記の熱回路網を用いた定常状態における小型電子機器筐体内の温度予測手法を提案した。通常、熱伝導経路の途中の温度分布は解析解が得られないが、本手法では、第 3 種境界条件を用いて各部材境界を近似し、繰り返し計算により近似する際に必要となる見かけ上の熱伝達率を算出することで、フーリエ級数による解析解を用いて熱抵抗値を求める。マイクロプロセッサシステムの温度予測では、本手法による結果は 3 次元定常熱伝導シミュレーションによる温度予測結果と良く一致し、高い精度で定常温度予測が可能であることを確認した。産業分野や家庭で使用する機器では電子化が進んでおり、熱流体シミュレーションソフトウェアが導入されていない、もしくは熱設計を専任で行う技術者がいない、ものづくりの現場においても、本熱回路網は有用なツールになり得ると考えられる。

続いて、第 3 章の後半では、小型電子機器筐体内の非定常解析について議論した。まず非定常状態における拡大熱抵抗、局所熱抵抗の挙動について検証、考察し、それらのモデル化を試みた。マイクロプロセッサの発熱量が急激に変化した場合、拡大熱抵抗は数秒間に渡って非定常挙動を示すことが判明した。そのため、拡大熱抵抗の非定常挙動を熱回路網として新たにモデル化し、その精度について論じた。拡大熱抵抗については、既往研究によるモデル化手法が存在するが、その手法では、伝熱経路の非定常挙動を 1 組の熱抵抗と熱容量で数学的に近似するため、伝熱経路の構成に一部でも変更が生じると、その熱抵抗と熱容量の値も変わってしまう。そのため、熱設計の現場で複数の熱設計案を比較する場合には、そのたびにこれらの値を求め直さなければならない。一方、提案手法では、拡大伝熱面を離散化することで拡大熱抵抗の非定常挙動を模擬する熱回路網を構成するため、その部材の設定が変わらない限り、同じ値を用いることができるという特長を有する。また、局所熱抵抗については、その非定常挙動は 1 秒以内に完了することが判明した。そのため、システムレベルの非定常解析では一定値として扱っても大きな温度予測誤差は生じない。

最後に、定常状態における熱回路網を非定常解析向けに拡張し（以下、非定常熱回路網）、マイクロプロセッサのシリコンダイ温度の非定常温度予測を実施した。非定常熱回路網には、Cauer モデルと Foster モデルが存在するが、エネルギーバランス式から熱回路網を導出し直した結果、物理的な定義を有する Cauer モデルを採用することとした。拡大熱抵抗は上述の手法を用いて可変抵抗、局所熱抵抗は固定値として扱った。本非定常熱回路網は少ないノード数で構成できるため、3 次元非定常熱流体シミュレーションで問題となる計算時間を短く抑えることができ、ほぼ実時間で計算を完了できる。本非定常熱回路網により、実用的な精度でマイクロプロセッサのシリコンダイ温度を予測することができることを確認した。

### 5.3 小型電子機器のシステムレベルの非定常熱設計について

第4章では、マイクロプロセッサの消費電力推定式、3次元熱伝導シミュレーション、熱回路網を用いて、マイクロプロセッサの非定常動作を考慮したシステムレベルの非定常熱設計に関する以下の2つのトピックについて論じた。ここで、システムレベルの熱設計とは、第3章にて検証、考察した小型電子機器筐体内の伝熱経路における個々の部材や熱抵抗ではなく、その集合体としての伝熱経路やマイクロプロセッサの非定常動作を含む動的な状態に関する考察、表面温度管理のような製品開発を進める上でシステムとして満たすべき要件に関する検証、考察である。

1つ目のトピックは、マイクロプロセッサが内蔵する消費電力管理機能を用いた動的な温度制御に関するものである。電子機器筐体の表面温度制御を目的として、マイクロプロセッサ内蔵の消費電力制限機能を用いた非定常温度制御について、3次元非定常熱伝導シミュレーションを実施し、その結果について考察した。近年の薄型筐体の表面温度を考慮した非定常熱設計については、既往研究において十分な考察がなされていないのが現状であり、シミュレーション結果の考察から、消費電力制限中の温度変化の傾向は消費電力制限時の消費電力値及びその開始時刻によって決まり、消費電力制限の継続時間が変化しても、実用的な時間範囲では温度変化の傾向は変化しないという新たな知見を得た。

2つ目のトピックは、近年、急速に市場規模を拡大したスレート型タブレットデバイスの伝熱経路の把握と非定常温度予測である。スレート型筐体についてはすでにさまざまな製品が存在するものの、1~3W程度のマイクロプロセッサの採用が大半であり、より高消費電力、高性能なマイクロプロセッサを搭載するには、綿密な熱設計が必要である。そこで、薄型筐体の伝熱経路のスレート型筐体を採用するファンレス設計のタブレットデバイスの非定常熱設計に関する知見を得ることを目的として、まず定常状態における伝熱経路について詳細に検証、考察した。スレート型筐体内の伝熱経路を変更した4つのテストケースを用いて、3次元定常熱伝導シミュレーションを実施し、熱伝導部における伝熱性能について有効ピオ数を導入して評価するとともに各部の伝熱量を算出し、筐体内の熱の流れについて検証した。続いて、シミュレーション結果について、熱回路網を用いて考察した。平面方向のサイズが大きいヒートスプレッドを採用することで、熱源の熱を拡散させるのに役立つだけでなく、筐体内部で熱を拡散させることができ、ホットスポットを解消しながら、筐体表面の平均温度を高く保つことができること、マザーボードの構成が変わらなかったとしても、対向するヒートスプレッドサイズが変わると、マザーボードにおける熱の流れが変わるため、結果としてマザーボードにおける拡大熱抵抗の値が変動すること、グラフィートシートの採用により、さらに筐体表面全体に熱を伝えることが可能になり、筐体内部全体を伝熱経路として利用できることが明らかとなった。最後に、3次元非定常熱伝導シミュレーションを実施し、非定常状態の温度遷移について考察した。非定常状態では、マザーボードにおける熱の拡がりにかかる時間が数秒間であるのに対して、空隙における伝熱が定常状態に至るには長い時間がかかることが確認された。

### 5.4 まとめ及び今後の展望

以上、本研究では、マイクロプロセッサの非定常動作を考慮した小型電子機器の熱設計のために、実時間で非定常温度予測が可能な熱回路網に消費電力推定式を適用した、非定常状態における温度予測手法について検証、考察し、さらにシステムレベルの非定常熱設計について論じた。5.1節から5.3節で説

---

明した 3 つのトピックを通じて、第 1 章で提示したデバイスレベル、システムレベル、解析における課題を解決する手法を提案し、その有効性について検証した。得られた成果は以下の通りである。

- 電子機器の熱設計では、従来、マイクロプロセッサによる発熱を一定として扱ってきた。しかし、近年では、リーク電流の温度依存性等により、マイクロプロセッサの発熱は一定とは言えず、それらを加味した発熱のモデル化が必要である。しかし、リーク電流特性等は、使用する半導体微細化プロセスによって大きく異なり、また、その情報は一般には公開されていない。そこで、本研究では、上記の特性を実測から求められる消費電力推定式を導入した。
- 既存の熱回路網を 1 次元的に用いると大きな温度予測誤差を生じてしまう。そこで、本研究では、平均温度ノードを有する熱回路網を新たに提案した。本熱回路網は、部材の熱抵抗、拡大熱抵抗、局所熱抵抗を組み合わせたものである。局所熱抵抗は、本研究で新たに取り入れた概念であり、特に、マイクロプロセッサのジャンクション温度上昇を示すのに有用である。
- 平均温度ノードを有する熱回路網における拡大熱抵抗、局所熱抵抗は伝熱経路の途中に配置されるため、各部材の境界条件は求めにくく、一般に解析解は得られない。そこで、本研究では、第 3 種境界条件を用いて各部材の境界条件を近似することで、これらの熱抵抗をフーリエ級数による解析解として求める手法を導入した。
- 有限体積法等による 3 次元非定常熱流体シミュレーションを用いて電子機器の非定常動作を伴う温度予測を実施するには、非常に長い計算時間を要する。そこで、本研究では、平均温度ノードを有する熱回路網を非定常解析向けに拡張し、非定常温度予測を実施した。本手法では、パーソナルコンピュータ 1 台で実時間に近いスピードで非定常計算を行うことが可能であり、製品開発の効率を大幅に向上できると考えられる。
- 電子機器の熱設計については、定常解析が主流であり、特にマイクロプロセッサの非定常動作による温度変化、非定常制御に関する研究は見当たらない。そこで、本研究では、マイクロプロセッサの非定常動作を考慮した熱解析を実施し、その結果について考察した。
- 電子機器の熱設計では、温度低減のボトルネックとなるクリティカルパスを発見し、設計案を改善する必要がある。有限体積法等による熱流体シミュレーションソフトウェアは強力なツールであるものの、その計算結果から電子機器の設計案を導くには伝熱経路について解釈する必要がある。そこで、本研究では、タブレットデバイスを対象として、平均温度ノードを有する定常熱回路網を伝熱経路の構成について解釈する設計支援ツールとして利用し、設計案改善に関する知見を得た。

実際の小型電子機器では、上記でカバーしていない、もしくは関連しているが詳細に述べていないトピックも存在する。そのようなトピックについて以下にまとめる。

マイクロプロセッサの消費電力について、本研究では、消費電力推定式及び消費電力制限がかかる場合について議論した。一方、近年の PC 向けマイクロプロセッサには、消費電力制限の反対に、許容される消費電力まで CPU や GPU の動作周波数、電源電圧を引き上げるブースト機能 [5-10] が搭載されているが、そのような場合についても消費電力推定式を適用することで温度予測を行うことが可能であると考えられる。また、本研究では、マイクロプロセッサにかかるアプリケーション負荷は一定として取り扱った。一方、実際のアプリケーションソフトウェアでは、アプリケーション負荷は時々刻々と変動す

る。このような場合、マイクロプロセッサの消費電力における動作率が変動することになるが、第2章で示した消費電力推定式を拡張して変動する動作率を適切にモデル化することで、アプリケーション負荷が変動するケースについても実用的な精度で温度予測が可能になると考えられる。

第3章で示した通り、小型電子機器に主に用いられる放熱機構には、ファン付きヒートシンク、ヒートスプレッド、RHE (Remote Heat Exchanger) がある。本研究では、主にファン付きヒートシンクを放熱機構として適用したケースを用いて消費電力推定式や熱回路網に関する議論を進め、第4章では、ヒートスプレッドを採用したスレート型筐体についても検証、考察した。一方、RHE (Remote Heat Exchanger) はノートブック型PCで採用されている他、タブレットデバイスの一部にも採用されている放熱機構である。RHE には扁平型ヒートパイプが用いられており、非定常状態では定常状態より最大熱輸送量が異なる [5-11] 等、その非定常挙動はファン付きヒートシンクやヒートスプレッドと比較して、より複雑になる。今後、ノートブック型PC等の非定常動作を再現するには、詳細な検証を通じて実用的な非定常 RHE モデルの構築が必要と考えられる。

---

## 参考文献

- [5-1] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2009 Edition, ITRS (2009).
- [5-2] Denis Foley, Maurice Steinman, Alex Branover, Greg Smaus, Antonio Asaro, Swamy Punyamurtula, Ljubisa Bajic, “AMD’S “LLANO” FUSION APU”, Hot Chips 23, August 2011.
- [5-3] FloTHERM, <http://www.mentor.com/products/mechanical/flotherm/flotherm/> (2015年1月現在)
- [5-4] ANSYS Icepack,  
<http://www.ansys.com/Products/Simulation+Technology/Fluid+Dynamics/Specialized+Products/ANSYS+Icepak>  
(2015 年 1 月現在)
- [5-5] 熱設計 Pack, <http://www.cradle.co.jp/products/pac.html> (2015 年 1 月現在)
- [5-6] Flow Designer, <http://www.akl.co.jp/products/flowdesigner/> (2015 年 1 月現在)
- [5-7] 佐藤良輔, 寺尾博年, 廣瀬宏一, “蓄熱シートを用いた小型電子機器の温度応答特性”, F224, 日本伝熱シンポジウム論文集 (2011) .
- [5-8] 石塚勝, 福岡義孝, “マルチチップパッケージ基板の過渡温度上昇”, 日本機械学会論文集B編, Vol. 52, No. 476 (1986), pp. 1772-1776.
- [5-9] 石塚勝, 福岡義孝, “相変化材を用いた高発熱パッケージ冷却技術の開発（熱回路網法の相変化現象解析への応用）”, 日本機械学会論文集 B 編, Vol. 60, No. 574 (1994), pp. 2165-2170.
- [5-10] “2.5.9 Application Power Management (APM)”, BIOS and Kernel Developer’s Guide (BKDG) for AMD Family 16h Models 00h-0Fh Processors, Publication # 48751, Rev 3.01, pp. 76-77, October 2013.
- [5-11] 木村裕一, 中村芳雄, 素谷順二, 勝田正文, “平板型マイクロヒートパイプの伝熱特性について”, 古河電工時報, 第115号, pp. 10-15, 2005年1月.

## 付録

本付録では、本研究に関連するものの、本旨ではない3つのトピックについて説明する．A.1では、非定常熱伝導解析においてファン付きヒートシンクのフィン効率の変化を表現するためのモデルについて説明する．A.2では、複合材であるマイクロプロセッサのパッケージサブストレートの有効熱伝導率を決定する手法について説明する．A.3では、熱回路網の1種であり、電子機器の熱設計で古くから広く適用されている2抵抗モデルによる定常解析とその温度予測誤差について考察する．

### A.1 非定常状態におけるファン付きヒートシンクのモデル化

#### A.1.1 ファン付きヒートシンクのモデル化

図 A.1 に示すようなファン付きヒートシンクでは、フィン部にファンによって十分な風量を与えることで、熱伝達を促進し、冷却を行う．流れを解析する場合には、フィン部及びファンを適切にモデル化する必要がある．しかし、フィン部やファンのモデル化はシミュレーションにおいて計算コストが大きく、特に非定常計算を行う際にはボトルネックとなり得る．一方、温度予測を目的とする場合には、そ

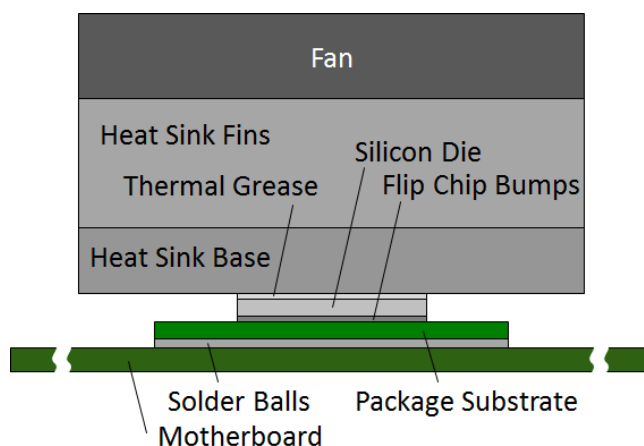


Figure A.1 Side View of Microprocessor Package and Motherboard with Heat Sink Fan.

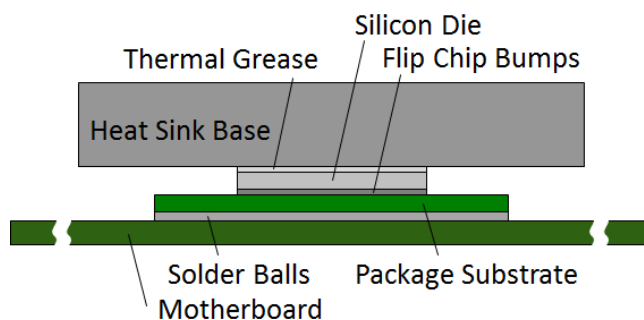


Figure A.2 Model Region of Heat Sink Fan.

の流れが小型電子機器筐体内部の温度場に大きな影響を与える場合を除いては、流れを解かずに境界条件として適切な熱伝達率を与えることで、熱伝導問題として定式化することが可能である。つまり、定常解析においては、図 A.2 に示すようにファン付きヒートシンクはヒートシンクのベース部のみをモデル化し、ヒートシンクのベース部上面に熱伝達率を設定すれば良い。しかし、非定常解析については、この方法ではフィン効率の時間的遷移を表現できず、その結果、ヒートシンクからの放熱量の見積りに誤差を生じてしまう。例えば、マイクロプロセッサの消費電力がある時点で大幅に増大する場合、初期はフィン効率が低く、徐々に高くなって、最終的なフィン効率に到達する。ヒートシンクのベース部上面に設定する熱伝達率を一定とすることはフィン効率を一定と仮定していることと等しく、より精度の高い温度予測が求められる場合には、この仮定は温度予測誤差を生じさせる要因となる。そこで、本研究では、ファン付きヒートシンクの各フィンを先端断熱の 1 次元フィンと仮定してフィン部の平均温度を求め、平均温度から放熱量を見積もる [A-1~A-3] ことで、ヒートシンクのベース部のみのモデル化で過渡的なフィン効率の遷移を扱えるようにした (図 A.3)。つまり、あるフィンへの入熱量が  $\dot{Q}_{fin}$  でフィンの両面 (図 A.3 の斜線部) からのみ熱伝達率  $h_{fin}$  で放熱すると仮定すると、そのフィンの平均温度は以下の式によって求めることができる。

$$c_{fin} \rho_{fin} \frac{d\bar{T}_{fin}}{dt} = \frac{\dot{Q}_{fin}}{V_{fin}} - \frac{2h_{fin}}{L_{fin}} (\bar{T}_{fin} - T_{ambient}) \quad (A.1)$$

ここで、 $c_{fin}$ ,  $\rho_{fin}$ ,  $\bar{T}_{fin}$ ,  $V_{fin}$ ,  $L_{fin}$  はそれぞれフィンの比熱、密度、平均温度、体積、厚みである。このとき、ヒートシンクのベース部からの放熱量  $\dot{Q}_{HSbase}$  は、ヒートシンクのベース部の熱伝達率がフィンの熱伝達率と同じ場合、以下の式によって求めることができる。

$$\dot{Q}_{HSbase} = h_{fin} A_{HSbase-only} (\bar{T}_{HSbase} - T_{ambient}) + \dot{Q}_{fin-all} \quad (A.2)$$

ここで、 $A_{HSbase-only}$  はフィンの出していないヒートシンクのベース部上面の面積、 $\bar{T}_{HSbase}$  はベース部上面の平均温度、 $\dot{Q}_{fin-all}$  は  $\dot{Q}_{fin}$  の総和である。本モデルは、第 2 章～第 4 章において、ファン付きヒートシンクを用いた、すべての非定常シミュレーションに適用しており、その有効性を確認している。なお、本モデルを熱回路網として表現すると、図 A.4 のようになる [A-4]。

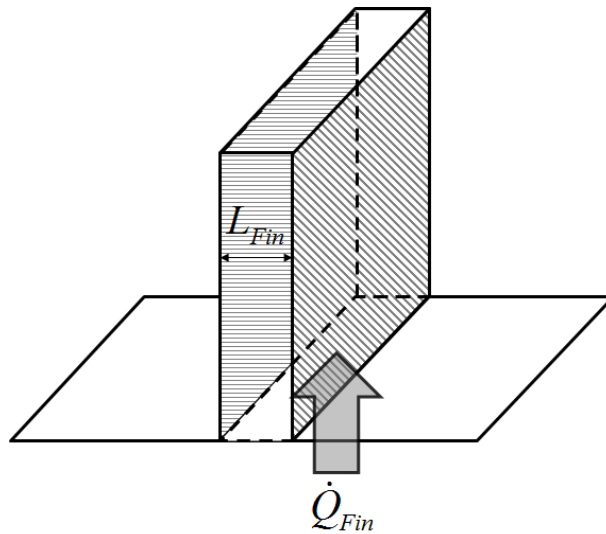


Figure A.3 One-Dimensional Fin Model.



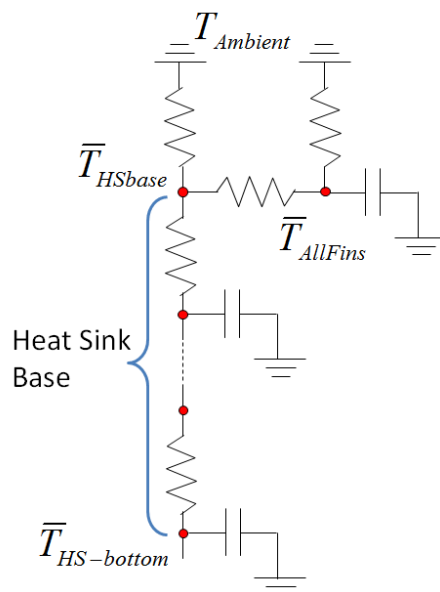


Figure A.4 Thermal Network of Heat Sink Fan.

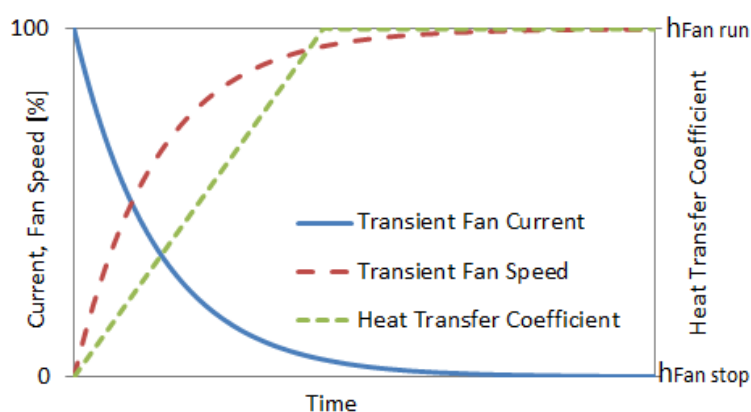


Figure A.5 Relationship between Transient Fan Current, Fan Speed and Heat Transfer Coefficient.

#### A.1.2 ファン付きヒートシンクにおけるファン制御のモデル化

PC (Personal Computer) では、通常、マイクロプロセッサの温度に応じてファン回転数を制御する。ファンを含むモータの回転数制御は、理想的な条件下では電気及び機械的遅れを伴う 2 次遅れ系であるが、電氣的応答は機械的応答に比べ極めて速いため、通常は機械的応答による 1 次遅れ系として取り扱うことができる [A-5]。つまり、制御回路から回転数変更の指示が出ると、ファンの電流値は一時的に高い値をとった後、時定数に従って一定値に収束していく。その期間、ファンの回転数も電流値に応じて徐々に上がっていき、一定値に収束する (図 A.5)。ファンの機械的応答は数秒にわたるため、その間の冷却能力の遷移について考慮する必要があるが、本研究では、ファン回転数が遷移する間、熱伝達率は直線的に遷移するものとして、ファン付きヒートシンクの冷却性能をモデル化することとした (図 A.5) [A-6]。

本モデルの検証のため、45nm SOI プロセスで製造されたノートブック PC 向けデュアルコアプロセッ

サ [A-7]を採用したマイクロプロセッサシステムを対象として、3次元熱伝導シミュレーションを実施する。図 A.6 に示すように、マザーボード、ソケット、マイクロプロセッサパッケージ、TIM、ヒートシンクベース部をモデル領域とし、ファン付きヒートシンクのフィン部の冷却性能は図 A.5 のモデルを用いて熱伝達率を与え、以下の3次元熱伝導方程式

$$\frac{\partial}{\partial x}\left(k_x \frac{\partial T}{\partial x}\right) + \frac{\partial}{\partial y}\left(k_y \frac{\partial T}{\partial y}\right) + \frac{\partial}{\partial z}\left(k_z \frac{\partial T}{\partial z}\right) = 0 \quad (\text{A.3})$$

を有限差分法を用いて離散化し、計算を行う。ここで、 $k_x$ ,  $k_y$ ,  $k_z$ はそれぞれ  $x$ ,  $y$ ,  $z$  方向の熱伝導率、 $T$  は温度である。空間については中心差分、時間については前進差分とし、陽解法で各時刻、各要素の温度を求める。マイクロプロセッサの発熱については、2.2 節で導入した消費電力推定式を用いて、時間ステップごとに消費電力を求める。ファンは、マイクロプロセッサが外部回路に報告する温度 [A-8]が 50℃未満で停止、50℃以上で図 A.5 に示した過渡状態を経て一定の回転数に到達するとして熱伝達率を設定する。

アイドル状態からマイクロプロセッサに一定のアプリケーション負荷を与えた際の非定常熱伝導シミュレーション結果を実測結果とともに示す (図 A.7)。実測値については、シリコンダイ温度はマイクロプロセッサがインターフェイスを介して外部回路に報告する温度 [A-8]、ヒートシンクのベース上面中心温度及びマザーボード下面中心温度は T 型熱電対で計測した値である。ヒートシンクのベース部における放熱量は前項で示したフィン平均部温度を元に求めており、図 A.7 に示すように、ファンスピード変化時 (シリコンダイ温度が 50℃到達時) の温度遷移に関してもシミュレーション結果は実測結果と比較的良く一致することを確認した。

### A.1.3 非定常状態におけるファン付きヒートシンクのモデル化に関するまとめ

本節では、非定常熱伝導解析においてファン付きヒートシンクのフィン効率の変化を表現するためのモデルについて説明した。得られた知見は以下の通りである。

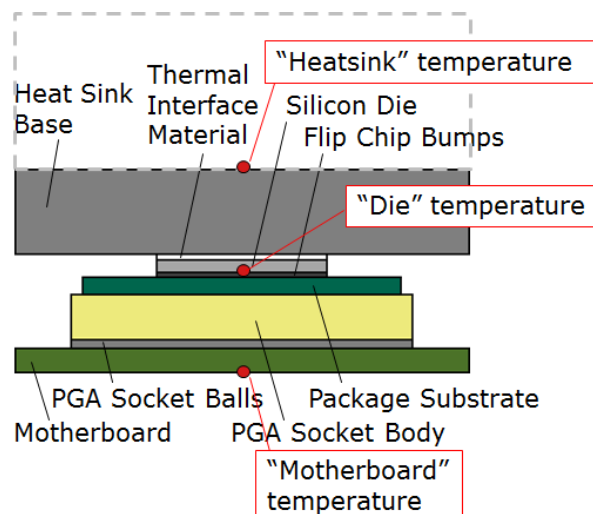


Figure A.6 Model Region.

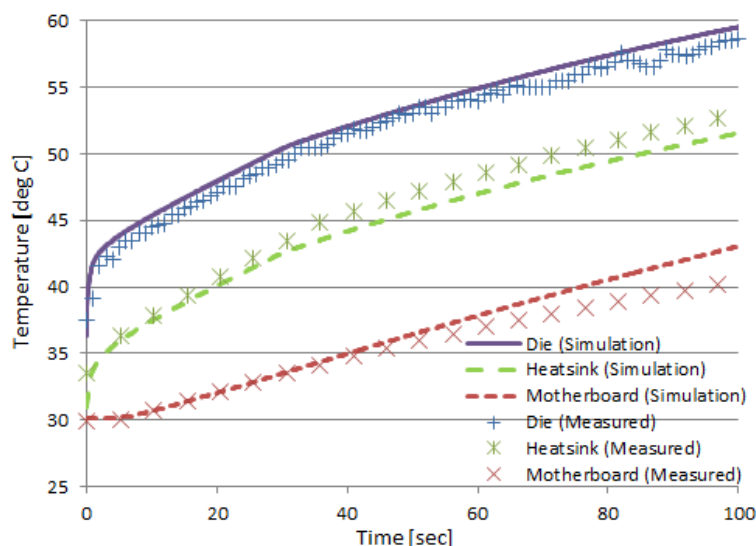


Figure A.7 Simulation and Measured Result.

- ー 1次元フィンの概念を用いることで、ファン付きヒートシンクのフィン効率の時間遷移を実用的な精度でモデル化することができる。
- ー ファンの動作については、モータを挙動を機械的応答による1次遅れ系として扱うことで、実用的な精度でモデル化することができる。

## A.2 マイクロプロセッサパッケージのモデル化

マイクロプロセッサパッケージを構成するパッケージサブストレートは複合材料である。複合材料を1つの部材として表現する場合には、熱の流れや温度分布が詳細なモデル表現とできる限り一致するように、考慮する必要がある。PCB (Printed Circuit Board) については、実測、シミュレーション双方において以前よりさまざまな報告がなされている [A-9, A-10]。PCB は面方向にサイズが大きく、面方向に流れる熱の影響を考慮したモデル化や実測による面方向の有効熱伝導率の同定に関する議論がメインである。一方、マイクロプロセッサのパッケージサブストレートでは、形状はPCBと酷似しているものの、熱の流れは面に垂直であり、異なる議論が必要である。J. R. Culham ら [A-11]は、銅及びFR4が層状に折り重なったPCBについて、面に垂直な方向に熱が流れる場合について考察し、拡大熱抵抗を考慮した有効熱伝導率の導出手法を提案している。そこで、本節では、従来手法とJ. R. Culham ら [A-11]による手法を用いた際の温度予測への影響について考察し、より高精度に温度予測を行うための手法を提案する。そして、提案手法を用いて、定常、非定常シミュレーションを実施し、その効果について考察する [A-12, A-13]。

### A.2.1 パッケージサブストレートの構成

パッケージサブストレートは、コアレスサブストレート等の一部を除いては、通常、図 A.8 に示すように2つのビルドアップ層とその間に存在するコア層から構成されるが、それぞれの層の銅と基材の割

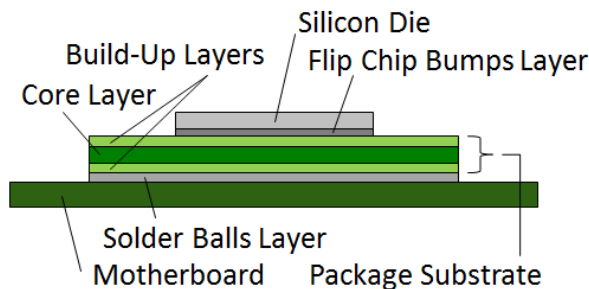


Figure A.8 Side View of Microprocessor Model for “Layer” Case.

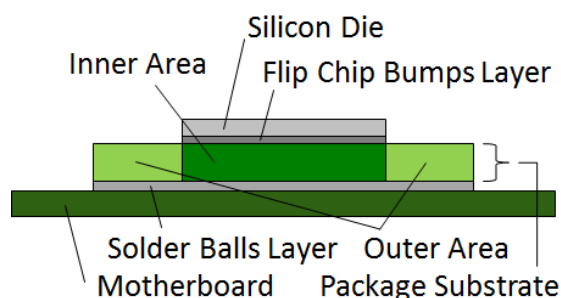


Figure A.9 Side View of Microprocessor Model for “Area” Case.

合及び配置は大きく異なる．そのため，各層の熱伝導率は大きく異なる．本節では，このように熱伝導率の異なる層が重なった構成を Layer ケースとして，モデル化の差異による温度予測への影響について検証する．

シリコンダイは，通常，パッケージサブストレートより小さい．シリコンダイの信号，電源，グラウンドは，シリコンダイ直下のフリップチップバンプを介して，パッケージサブストレートに接続され，パッケージサブストレート内で再配線されたものがさらに各半田ボールに接続されている．そのため，パッケージサブストレートにおいて，シリコンダイの直下エリアの配線量と比較して，その外側のエリアの配線量は少なく，結果として，2つのエリアの熱伝導率は大きく異なることになる（図 A.9）．本節では，シリコンダイ直下のエリアとその外側のエリアで熱伝導率が異なる構成を Area ケースとして，モデル化の差異による温度予測への影響について検証する．

## A.2.2 既往研究における有効熱伝導率算出方法と問題点

有効熱伝導率を求める手法はいくつかあるが [A-11]，最も良く使用されているのは，熱抵抗の概念を用いたものである．図 A.8 に示す Layer ケースのように熱伝導率の異なる部材が層状に積み重ねられて1つの複合材を構成する場合，面方向の有効熱伝導率  $k_{in-plane,eff}$  は，並列抵抗の合成抵抗の概念を用いて下式から求めることができる．

$$k_{in-plane,eff} = \frac{\sum (k_{in-plane,i} \cdot l_i)}{\sum l_i} \quad (A.4)$$

ここで、 $\lambda_{in-plane,i}$  は第  $i$  層の面方向の熱伝導率、 $l_i$  は第  $i$  層の厚みである。面に垂直な方向の有効熱伝導率  $k_{cross-plane,eff}$  は、直列抵抗の合成抵抗の概念を用いて、

$$k_{cross-plane,eff} = \frac{\sum l_i}{\sum \frac{l_i}{k_{cross-plane,i}}} \quad (A.5)$$

から求めることができる。なお、式 (A.5) は  $k_{in-plane,i}$  を第  $i$  番目のエリアの面に垂直な方向の熱伝導率、 $l_i$  の代わりに第  $i$  番目のエリアの面積を適用すれば、図 A.9 に示す Area ケースの面に垂直な方向の値を求める際にも使用できる。

上記の手法では、構成する各部材の熱伝導率から有効熱伝導率を求める。一方、J. R. Culham ら [A-11] は面に垂直な方向に流れる熱を扱う際には、部材の熱抵抗だけでなく、拡大熱抵抗 ( $\theta_{Brd-spreading}$ ) の効果を織り込むべきであるとし、解析解から等方性有効熱伝導率を求めている。

従来手法では拡大熱抵抗を考慮していない点、従来手法及び J. R. Culham ら [A-11] の手法では、対象とする複合部材底面における伝熱量分布を考慮しておらず、伝熱経路下流の熱の流れに影響を与える可能性がある。そこで、本研究では、上流の拡大熱抵抗及び部材の熱抵抗の和 ( $\theta_{Pkg-spreading} + \theta_{PkgSub}$ ) 及び対象とする複合部材底面における伝熱量分布を詳細モデルと一致させる、2 目的最適化問題として有効熱伝導率を求める [A-12, A-13]。

### A.2.3 3次元熱伝導シミュレーションによる検証

式 (A.3) を離散化し、3次元熱伝導シミュレーション [A-14]を用いて、マイクロプロセッサパッケージのモデル化の違いにより生じる温度予測への影響を検証する。シミュレーション結果から、熱回路網の各接点における温度、伝熱量を求め、熱抵抗値及びパッケージサブストレート底面における伝熱量割合を算出する。

モデル領域は図 A.10 に示す通りである。マイクロプロセッサはシリコンダイ底面近傍で発熱するが、本節では、フリップチップバンプと接続するパッケージサブストレート上面のエリア (中心  $10 \times 10\text{mm}$ ) が均一面発熱するものとして取り扱う。マザーボード表面における対流熱伝達については、マザーボード底面でのみ起こるものとし、一定の熱伝達率 ( $5\text{W/m}^2\text{K}$ ) で冷却されるものとする。また、それ以外のモデル領域境界は断熱とする。

表 A.1、表 A.2 にモデル領域の各部材の寸法及び熱特性値を示す。本節では、図 A.8 に示した Layer ケースと図 A.9 に示した Area ケースについて、それぞれの層もしくはエリアを忠実に再現したモデル (以下、詳細モデル) とパッケージサブストレート全体に一樣な有効熱伝導率を与えた 4 つのモデル (Conventional, Spreading1, Spreading2, 2-Objective) を比較することで、各手法を用いて作成したモデルの非定常挙動への影響を考察する。

Conventional モデルは、式 (A.4) 及び式 (A.5) を用いて有効熱伝導率を求めたモデルである。一方、J.R. Culham ら [A-11] が PCB に適用した手法についても、Spreading1 及び Spreading2 モデルとして検証する。Spreading1 モデルは上流の拡大熱抵抗及び部材の熱抵抗の和 ( $\theta_{Pkg-spreading} + \theta_{PkgSub}$ )、Spreading2 モデルは上流の拡大熱抵抗、部材の熱抵抗及び下流の拡大熱抵抗の和 ( $\theta_{Pkg-spreading} + \theta_{PkgSub} + \theta_{Brd-spreading}$ ) が詳細モデルと一致するように等方性熱伝導率を設定したモデルである。2-Objective モデルは、本研究で導入する手法で、 $\theta_{Pkg-spreading} + \theta_{PkgSub}$  及びパッケージサブストレート底面におけるシリコンダイ直下のエリアからの

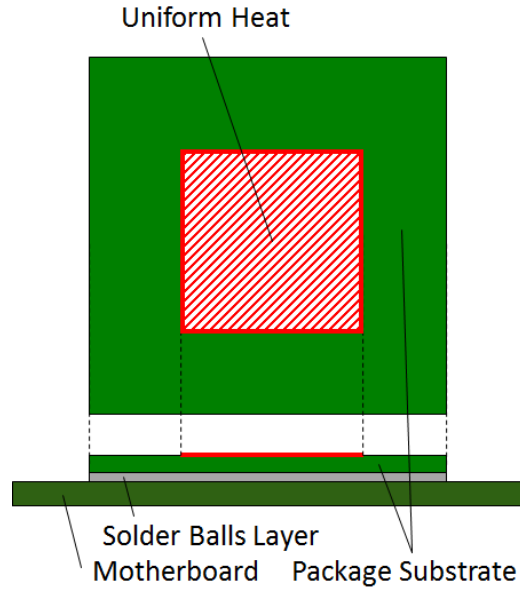


Figure A.10 Model Region.

Table A.1 Dimension and Thermal Conductivity of Each Component.

Part	Dimension	Thermal Conductivity	Specific Heat x Density
Package Substrate	20 x 20 x 0.70 mm	See Table 2	$1.8 \times 10^6 \text{ J/m}^3\text{K}$
Solder Balls	20 x 20 x 0.40 mm	0.026 W/mK (In-Plane) 10 W/mK (Cross-Plane)	$3.0 \times 10^5 \text{ J/m}^3\text{K}$
Motherboard	150 x 150 x 1.6 mm	30 W/mK (In-Plane) 0.45 W/mK (Cross-Plane)	$1.2 \times 10^6 \text{ J/m}^3\text{K}$

Table A.2 Structure and Thermal Conductivity of Package Substrate for Each Case.

Case	Layer / Area	Thermal Conductivity
Layer	Upper Build-Up (20 x 20 x 0.15 mm)	100 W/mK (In-Plane) 5.0 W/mK (Cross-Plane)
	Core (20 x 20 x 0.40 mm)	30 W/mK (In-Plane) 1.0 W/mK (Cross-Plane)
	Lower Build-Up (20 x 20 x 0.15 mm)	100 W/mK (In-Plane) 5.0 W/mK (Cross-Plane)
	Inner (10 x 10 x 0.70 mm)	30 W/mK (In-Plane) 5.0 W/mK (Cross-Plane)
Area	Outer ((20 x 20 - 10 x 10) x 0.70 mm)	30 W/mK (In-Plane) 0.50 W/mK (Cross-Plane)

伝熱量割合（以下、底面伝熱量割合）が詳細モデルと一致するように異方性熱伝導率を設定したモデルである。

各モデルのパッケージサブストレートの有効熱伝導率を図A.11及び図A.12に示す。Layer ケースでは、Conventional 及び 2-Objective モデルは詳細モデルのビルドアップ層とコア層の間の値を採るのに対し、

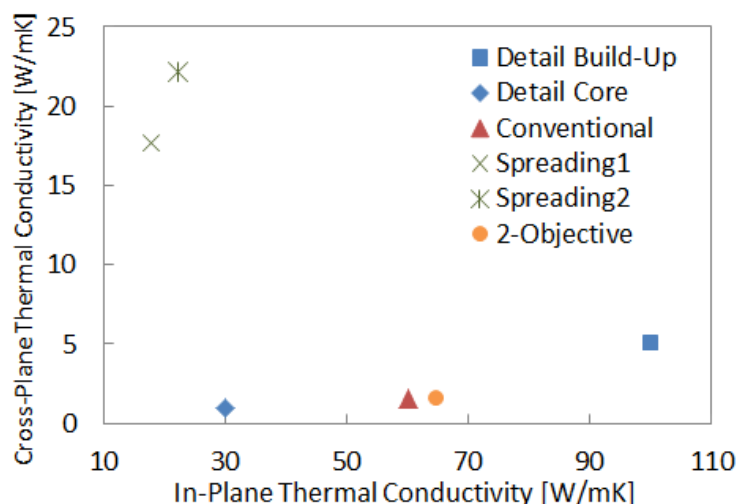


Figure A.11 Thermal Conductivity Configuration of Each Model in “Layer” Case.

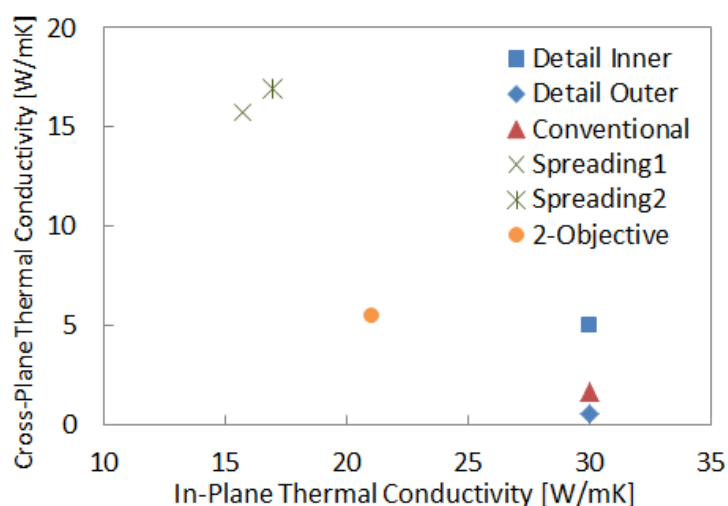


Figure A.12 Thermal Conductivity Configuration of Each Model in “Area” Case.

Spreading1 及び Spreading2 モデルは全く異なる値を採る。また、Conventional, Spreading1, Spreading2 モデルは、Area ケースにおいても同様の傾向を示すが、2-Objective モデルはどのモデルとも大きく異なる値を採る。以下では、これらの差が非定常温度遷移にどのような影響を与えるか確認する。

時刻ゼロ以前の発熱を 0W、それ以降を 1W で均一発熱した場合の、初期 10 秒間のパッケージサブストレート上面の発熱エリアの平均温度 ( $\bar{T}_{FCBump-bottom}$ ) の時間遷移を図 A.13 及び図 A.14 に示す。

Layer ケースでは、初期 10 秒間はいずれのモデルも詳細モデルに比較的近い温度遷移を示す(図 A.13)。Conventional モデルは初期の約 1 秒間の温度遷移が詳細モデルと比較的良く一致するのに対し、Spreading1 及び Spreading2 モデルでは、詳細モデルよりやや立ち上がりが遅い。その後、Conventional モデルは詳細モデルよりやや大きい値を採るようになり、定常状態に至った際には約 0.17℃高い温度を示す。

Spreading1 モデルは 1 秒後以降、その値の上昇が詳細モデルより速く、定常状態に至った際には約 0.45℃高い温度を示す。一方、Spreading2 モデルも 1 秒後以降、徐々に詳細モデルの値に漸近し、定常状態に至

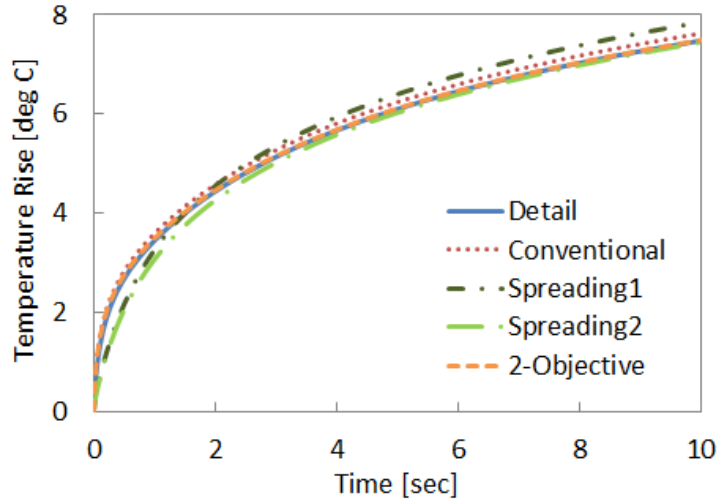


Figure A.13 Temperature Transient of Heated Area on Substrate Top in “Layer” Case.

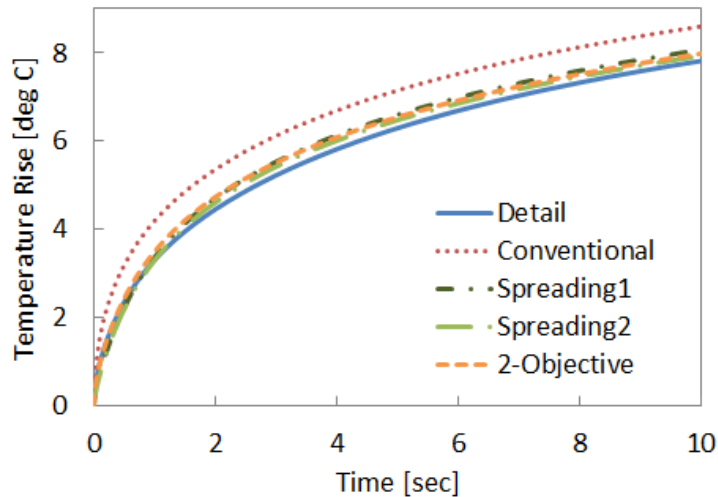


Figure A.14 Temperature Transient of Heated Area on Substrate Top in “Area” Case.

った際には詳細モデルと同一温度を示すようになる。また、2-Objective モデルは全区間において詳細モデルと非常に良い一致が見られ、図 A.13 ではほぼ重なっている。定常状態における詳細モデルとの温度差は約  $0.02^{\circ}\text{C}$  であった。

Area ケースでは、初期から Conventional モデルが詳細モデルより明らかに高い温度を示す（図 A.14）。Spreading1 及び Spreading2 モデルでは、初期の約 1 秒間の温度の立ち上がりが詳細モデルよりやや遅く、その後、詳細モデルよりやや高い温度を示すものの、詳細モデルに比較的近い温度遷移を示す。2-Objective モデルは時刻ゼロ近傍では詳細モデルと非常に良い一致が見られるが、0.25 秒後近辺から詳細モデルよりやや高い温度を示すようになる。Conventional モデルは全時刻に渡って詳細モデルよりも高い温度を示し、定常状態に至った際には約  $0.66^{\circ}\text{C}$  高い温度を示す。一方、Spreading1 モデルは定常状態に至った際には約  $0.14^{\circ}\text{C}$  高い温度を、Spreading2 モデルは詳細モデルと同一値に収束する。2-Objective モデルも Spreading2 モデルと同様の傾向を示し、定常状態における詳細モデルとの温度差は約  $0.03^{\circ}\text{C}$  であった。



## A.2.4 考察

### A.2.4.1 Layer ケース

図 A.15 に  $\theta_{Pkg-spreading} + \theta_{PkgSub}$  の時間推移を示す。Conventional モデルは、全期間に渡って詳細モデルより熱抵抗値が大きく、定常状態では約  $0.13^{\circ}\text{C/W}$  詳細モデルより大きい値を採る。Spreading1 モデルは、定常状態において詳細モデルと値が一致するように有効熱伝導率を設定しているにもかかわらず、初期の約 6 秒間は詳細モデルとは異なる時間遷移を示している。Spreading2 モデルは、全期間に渡って詳細モデルより熱抵抗値が小さく、定常状態では約  $0.37^{\circ}\text{C/W}$  詳細モデルより小さい値を採る。2-Objective モデルは、全期間に渡って詳細モデルと値がよく一致している。

図 A.16 に底面伝熱量割合の時間推移を示す。Conventional 及び 2-Objective モデルは、全期間に渡って、詳細モデルとよく一致するのに対し、Spreading1 及び Spreading2 モデルは、全期間に渡って、詳細モデルと比較してはるかに高い割合の熱が内側のエリアに流れる。

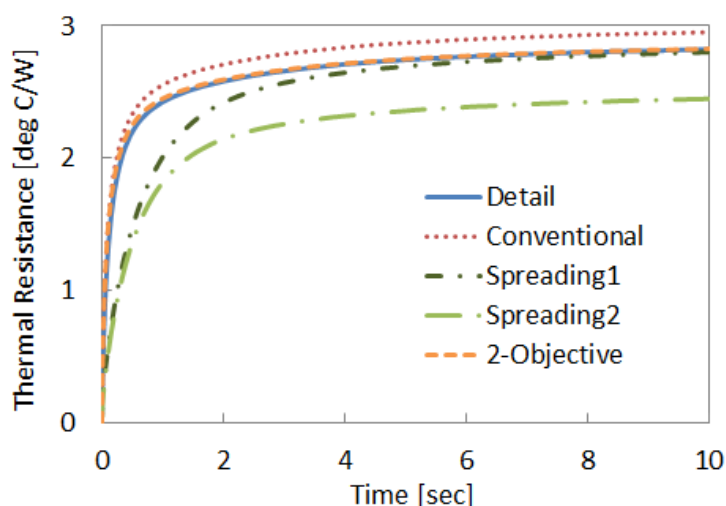


Figure A.15 Transient  $\theta_{Pkg-spreading} + \theta_{PkgSub}$  in “Layer” Case.

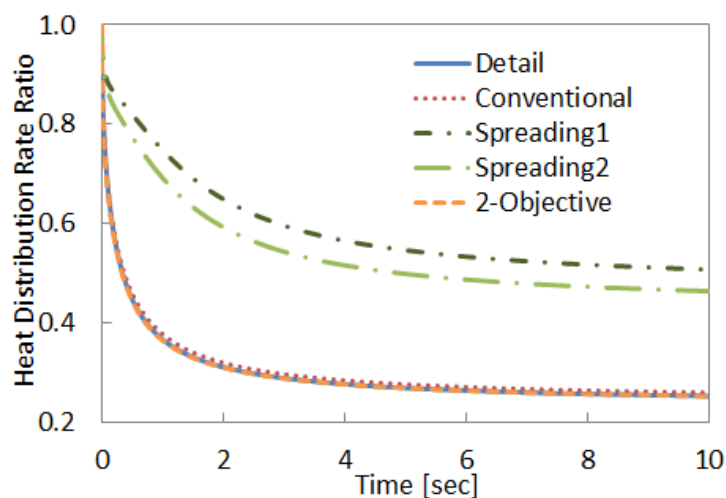


Figure A.16 Power Distribution Ratio at Package Substrate Bottom in “Layer” Case.

以上より、Conventional モデルの温度予測誤差は主に  $\theta_{Pkg-spreading} + \theta_{PkgSub}$  の時間遷移の誤差に由来していると言える。一方、Spreading1 モデルでは、 $\theta_{Pkg-spreading} + \theta_{PkgSub}$  の非定常時間遷移が詳細モデルと一致していない他、底面伝熱量割合が詳細モデルと大きく異なることが誤差の要因である。そして、Spreading2 モデルでは、全期間に渡って、 $\theta_{Pkg-spreading} + \theta_{PkgSub}$  及び底面伝熱量割合が詳細モデルと全く一致しない。一方、2-Objective モデルは、いずれの値も詳細モデルとよく一致しており、温度予測誤差もほとんどないことが確認できた。

#### A.2.4.2 Area ケース

図 A.17 に  $\theta_{Pkg-spreading} + \theta_{PkgSub}$  の時間推移を示す。Conventional モデルは、その立ち上がりは詳細モデルより遅いが、初期の約 1.3 秒以降は詳細モデルより値が大きくなり、定常状態では約 0.78°C/W 詳細モデルより大きい値を採る。一方、Spreading1 モデルは、定常状態において  $\theta_{Pkg-spreading} + \theta_{PkgSub}$  が詳細モデルと一致するように有効熱伝導率が設定されているが、その立ち上がりは詳細モデルより遅く、その後、いったん詳細モデルより大きい値を採った後、詳細モデルと同一値に収束する。

Spreading2 モデルは、全時刻に渡って詳細モデルより小さい熱抵抗値を採り、定常状態では約 0.12°C/W 詳細モデルより小さい値を採る。2-Objective モデルは、時刻ゼロ近傍では詳細モデルに近い値を採るが、その後異なる時間遷移をとり、最終的に詳細モデルと同一値に収束する。

図 A.18 に底面伝熱量割合の時間推移を示す。Conventional モデルは、全期間に渡って、詳細モデルと比較して低い割合の熱が内側のエリアに流れる。Spreading1 及び Spreading2 モデルは、全期間に渡って、詳細モデルと比較して高い割合の熱が内側のエリアに流れている。一方、2-Objective モデルでは初期の約 0.7 秒間を除いては詳細モデルと比較的良好な一致が見られた。

#### A.2.5 マイクロプロセッサパッケージのモデル化に関するまとめ

Conventional モデルの温度予測誤差は  $\theta_{Pkg-spreading} + \theta_{PkgSub}$  の時間遷移の誤差と底面伝熱量割合の誤差の和によることが分かる。一方、Spreading1 モデルでは、 $\theta_{Pkg-spreading} + \theta_{PkgSub}$  の非定常時間遷移が詳細モデルと

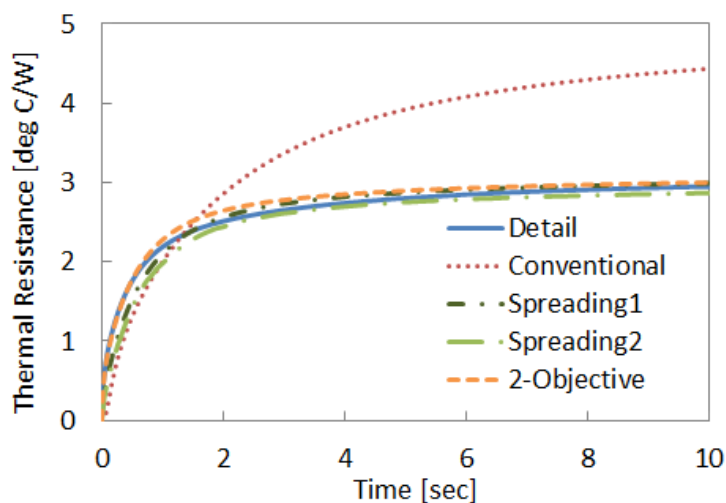


Figure A.17 Transient  $\theta_{Pkg-spreading} + \theta_{PkgSub}$  in “Area” Case.

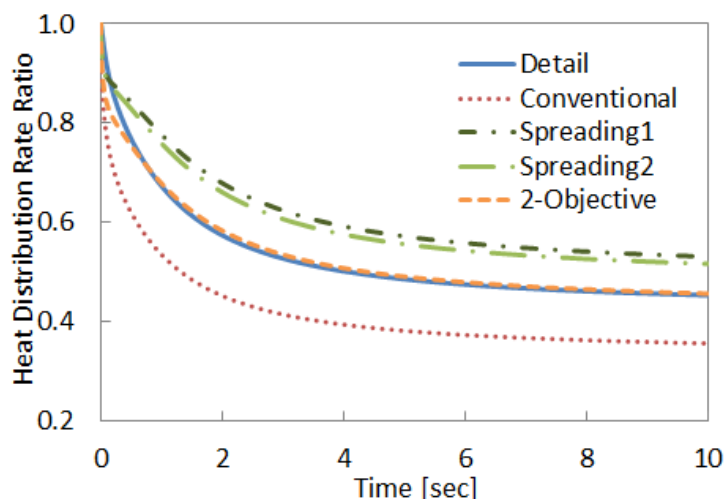


Figure A.18 Power Distribution Ratio at Package Substrate Bottom in “Area” Case.

一致しない点，底面伝熱量割合が詳細モデルと大きく異なる点が誤差要因として挙げられる。

Spreading2 モデルでは，全期間に渡って， $\theta_{pkg-spreading} + \theta_{pkgSub}$  及び底面伝熱量割合が詳細モデルと一致しない．2-Objective モデルでは，全期間に渡って  $\theta_{pkg-spreading} + \theta_{pkgSub}$  が詳細モデルよりやや高く，また，初期の約 0.7 秒間の底面伝熱量割合の時間遷移は詳細モデルと異なる。

モデルごとにまとめると以下の通りである。

- Conventional モデルは，Area ケースにおいて温度予測誤差が大きく，その主要因は底面伝熱量割合の予測誤差である．また， $\theta_{pkg-spreading} + \theta_{pkgSub}$  はいずれのケースでも詳細モデルと一致しない．これらは Conventional モデルが拡大熱抵抗の影響を考慮しておらず，Area ケースのように面と垂直な方向の熱伝導率が途中で異なる場合の熱の流れを適切に再現できないことを示している．
- Spreading1 モデルでは， $\theta_{pkg-spreading} + \theta_{pkgSub}$  の定常値は詳細モデルと一致するものの，非定常遷移は一致しない．これは主に拡大熱抵抗の影響と考えられる．パッケージサブストレートでの熱の拡がりは，面方向と面に垂直な方向の熱伝導率のバランスに支配されるが，等方性熱伝導率を用いた場合，各方向の熱伝導率のバランスが詳細モデルと大きく異なる（図 A.11，図 A.12）．その結果，拡大熱抵抗の定常値が大きく見積もられ，また，面方向の温度伝導率が小さくなるため，拡大熱抵抗値の立ち上がりが遅くなる．底面伝熱量割合が高く見積られるのも各方向の熱伝導率のバランスが詳細モデルと大きく異なるためである．
- Spreading2 モデルでは，その定義より， $\theta_{pkg-spreading} + \theta_{pkgSub} + \theta_{pkg-spreading}$  の定常値は詳細モデルと一致する．しかし，Spreading1 モデルと同様の理由により，非定常時の温度遷移を適切に表現することは難しい．
- 2-Objective モデルは，両ケースで最も良く詳細モデルと一致する．ただし，Area ケースでは， $\theta_{pkg-spreading} + \theta_{pkgSub}$  が，非定常時，詳細モデルよりやや大きく推移する．

### A.3 2 抵抗モデルによる定常解析とその誤差に関する考察

2 抵抗モデルは、半導体パッケージのホットスポット温度（以下、ジャンクション温度）を予測するために策定された CTM (Compact Thermal Model) [A-15] の 1 つである。2 抵抗モデルは、ジャンクションーケース間の熱抵抗  $\theta_{JCtop}$  及びジャンクションーボード間の熱抵抗  $\theta_{JB}$  の組として定義され [A-16]、熱回路網に組み込んで使用する他、CFD (Computational Fluid Dynamics) ツール内の 1 つのコンポーネントとして、使用することも想定されており [A-16]、電子機器の熱設計において広く使用されている。しかし、2 抵抗モデルを含む 1 次元の熱回路網を用いて温度予測を行う場合、伝熱経路の構成によらず熱抵抗値を一定として扱っていると、条件によっては大きな温度予測誤差を生じることになる [A-17, A-18]。そこで、本節では、放熱機構の種類及びマザーボードサイズの変動、異なる発熱分布によって、2 抵抗モデルの値がどのように変動するか検証し、3.2 節で導入した熱回路網を用いて、その誤差要因について考察する。

#### A.3.1 2 抵抗モデルの定義

2 抵抗モデル [A-16] では、 $\theta_{JCtop}$  及び  $\theta_{JB}$  を評価するため、 $T_J$ 、 $T_{Ctop}$ 、 $T_B$  が設定される。本研究の対象であるマイクロプロセッサパッケージについては、図 A.19 のように設定される。 $T_J$  は 3.2 節で導入した熱回路網における定義と同じであり、ジャンクション温度である。 $T_{Ctop}$  はパッケージ上面中心のケース温度であり [A-16]、本研究で対象とするマイクロプロセッサ [A-19, A-20] では、シリコンダイ上面中心の温度である。 $T_B$  には、慣習的な定義と JEDEC 定義 [A-16] が存在する。慣習的な定義ではマイクロプロセッサパッケージ真下のマザーボード底面中心の温度（以下、Bottom Center）を  $T_B$  とする。一方、JEDEC による定義では、マイクロプロセッサパッケージ本体の長辺中間点から 1 mm 以内の点におけるボード温度である [A-16]。本節では、シリコンダイの発熱分布に偏りがあるケースも取り扱うため、各辺中心から 0.5mm 離れたマザーボード上面 4 点の平均温度（以下、JEDEC）を  $T_B$  とする。まず最初に JEDEC 定義の  $T_B$  を用いた際の 2 抵抗値の変動について比較を行い、その後、2 抵抗モデルによる温度予測誤差について考察する際に 2 つの定義双方を用いて検証する。 $\theta_{JCtop}$ 、 $\theta_{JB}$  の値は以下の式から求めることができる。

$$\theta_{JCtop} = \frac{T_J - T_{Ctop}}{\dot{Q}_{Upper}} \quad (A.6)$$

$$\theta_{JB} = \frac{T_J - T_B}{\dot{Q}_{Lower}} \quad (A.7)$$

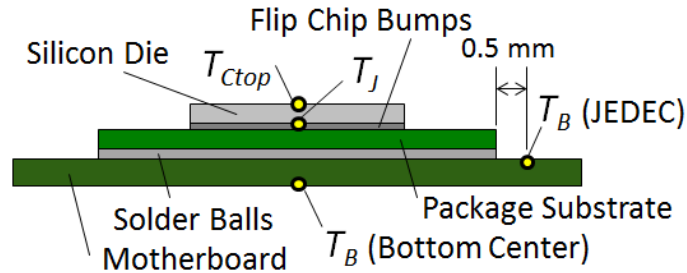


Figure A.19  $\theta_{JC}$  and  $\theta_{JB}$  Definitions.

ここで、 $\dot{Q}_{Upper}$ 、 $\dot{Q}_{Lower}$  はそれぞれマイクロプロセッサの上方及び下方の伝熱経路に流れる伝熱量である。本節では、これらの熱抵抗値を 3 次元熱伝導シミュレーションの結果から算出する [A-21, A-22].

### A.3.2 シミュレーション条件

2 抵抗モデルの  $\theta_{JcTop}$  及び  $\theta_{JB}$  は、JEDEC で規定された環境 [A-23, A-24] (以下、JEDEC 環境) における測定された値、もしくは同等の設定で実施されたシミュレーション結果から算出された値である。本節では、JEDEC 環境における  $\theta_{JcTop}$  及び  $\theta_{JB}$  が、マイクロプロセッサが実際の小型電子機器内で使用される環境 (以下、実システム環境) における値とどの程度差があるか確認するため、表 A.3 に示すように、JEDEC 環境を模擬したモデル、3 つの異なる放熱機構を採用したモデル (図 A.2, 図 A.20, 図 A.21) 及びマザーボードサイズを変更したモデル、マイクロプロセッサのシリコンダイ底面における発熱分布を変えたモデル (図 A.22) を用いた複数のテストケースを用意し、熱伝導シミュレーションによる比較を行う。マイクロプロセッサモデルの設定は表 A.4, JEDEC 環境を模擬したモデル以外のシミュレーション設定は表 A.5 の通りである。Heat Distribution 以外のテストケースでは、シリコンダイ底面における発

Table A.3 Simulation Cases for Two-Resistor Model Investigation.

Test Name	Test Cases	Cooling Solution	Motherboard Size	Heat Distribution
JEDEC Definition	–	Cold Plates	JEDEC Defined	Uniform
Heat Sink Base Case	–	Heat Sink Fan	150 mm x 150 mm	
Cooling Solution	RHE	RHE		
	Heat Spreader	Heat Spreader		
Motherboard	100 x 100	Heat Sink Fan	100 mm x 100 mm	
	200 x 200		200 mm x 200 mm	
	300 x 300		300 mm x 300 mm	
Heat Distribution	50% / 50%		150 mm x 150 mm	50% / 50%
	75% / 25%			75% / 25%

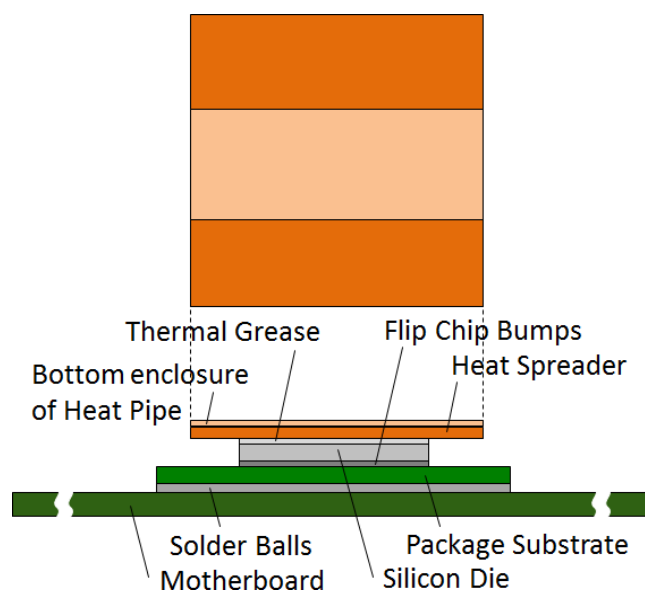


Figure A.20 Model Region of "RHE" Case.

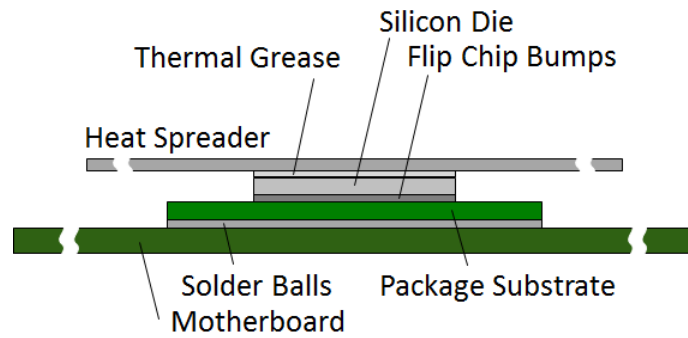
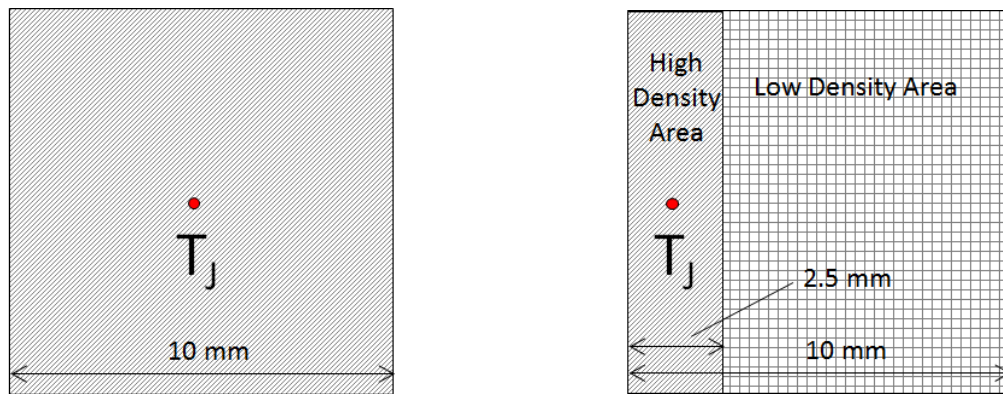


Figure A.21 Model Region of “Heat Spreader” Case.



(a) Uniform Heat Distribution.

(b) Non-uniform Heat Distribution.

Figure A.22 Heat Distribution along Silicon Die Circuit.

Table A.4 Dimension and Thermal Conductivity of Generic Microprocessor Package Model.

Part	Dimension	Thermal Conductivity
Silicon Die	10 x 10 x 0.80 mm	120 W/mK
Flip Chip Bumps	10 x 10 x 0.10 mm	10 W/mK
Package Substrate	20 x 20 x 0.70 mm	30 W/mK (Horizontal) 1.0 W/mK (Vertical)
Solder Balls	20 x 20 x 0.40 mm	0.026 W/mK (Horizontal) 10 W/mK (Vertical)

熱は一樣とし（図 A.22 (a)），Heat Distribution の 2 つのテストケースでは，シリコンダイ底面を 2 つの領域に分け，指定した割合で領域ごとに一樣発熱するものとする（図 A.22 (b)）．50% / 50%では高発熱エリア，低発熱エリアそれぞれに全体の 50%ずつ発熱を与える．一方，75% / 25%では高発熱エリアに全体の 75%，低発熱エリアに全体の 25%の発熱を与える． $T_J$ は，Heat Distribution の 2 つのテストケースでは高発熱エリア中心，それ以外ではシリコンダイ底面中心の温度とする．



### A.3.3 JEDEC 環境及び実システム環境における $\theta_{JCTop}$ 及び $\theta_{JB}$ の値の違い

熱伝導シミュレーションの結果から得られた各テストケースの  $\theta_{JCTop}$  と  $\theta_{JB}$  の分布を図 A.23 に示す。Heat Distribution の 2 つのテストケースを除いては、 $\theta_{JCTop}$  はテストケースによらずほぼ同じ値を採るが、 $\theta_{JB}$  は値が変動することが分かる。また、Heat Distribution の 2 つのテストケースでは、発熱分布の偏りが大きくなるほど、 $\theta_{JCTop}$ 、 $\theta_{JB}$  ともに JEDEC Definition より大きな値を採ることが確認された。

熱伝導シミュレーションの結果から得た JEDEC 環境における  $\theta_{JCTop}$  及び  $\theta_{JB}$  の値、JEDEC 環境及び Heat Sink Base Case におけるマイクロプロセッサパッケージ内の熱抵抗の内訳を図 A.24 に示す。ここで示す熱抵抗は 3.2 節で導入した熱回路網を構成する熱抵抗である。

JEDEC 環境で得られた  $\theta_{JCTop}$  は以下の式から得られるシリコンダイの熱抵抗  $\theta_{Die}$  とほぼ同じ値を採る。

$$\theta_{material} = \frac{l}{k_{material}A} \quad (A.8)$$

Table A.5 Heat Transfer Coefficient Values for Heat Conduction Simulation.

Cooling Solution	Heat Sink Fan	RHE	Heat Spreader
Cooling Solution (Upper Side Path)			
Dimension	50 x 50 x 5 mm	15 x 15 x 0.8 mm + 7 x 15 x 0.3 mm	100 x 100 x 0.8 mm
Thermal Conductivity	209 W/mK	398 W/mK	225 W/mK
Heat Transfer Coefficient	200 W/m <sup>2</sup> K (Upper Only)	15000 W/m <sup>2</sup> K (Upper Only *)	6.5 W/m <sup>2</sup> K (Upper) 3.25 W/m <sup>2</sup> K (Lower)
Base Temperature	Room Ambient	Room Ambient + 35 deg C	Room Ambient
Motherboard (Lower Side Path)			
Dimension	100 x 100, 150 x 150, 200 x 200, 300 x 300 x 1.6 mm		
Thermal Conductivity	30 W/mK (Horizontal), 0.45 W/mK (Vertical)		
Heat Transfer Coefficient	4.5 W/m <sup>2</sup> K (Upper) 2.25 W/m <sup>2</sup> K (Lower)		
Base Temperature	Room Ambient		

\* Applied to "Heat Pipe" area (7 x 15 mm) only.

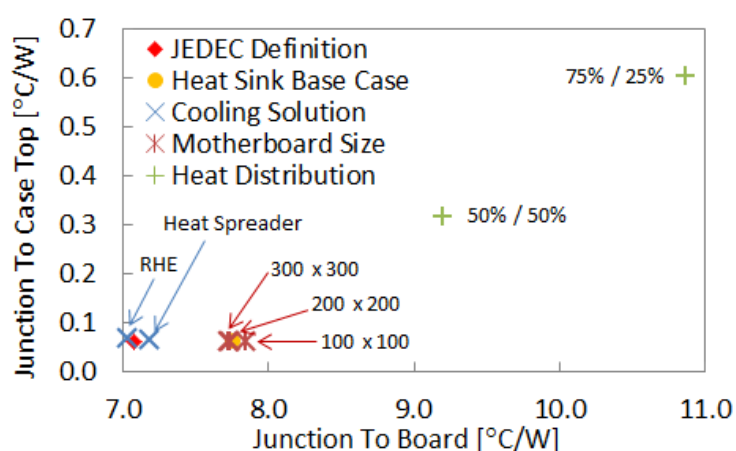


Figure A.23 Two-Resistor Value Comparison.

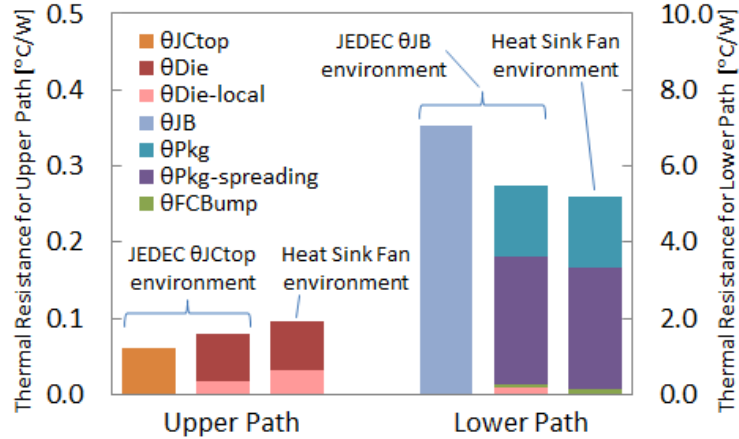


Figure A.24 Thermal Resistance Composition along Upper and Lower Heat Transfer Paths.

ここで、 $l$  は部材の厚み、 $k_{material}$  は部材の熱伝導率、 $A$  は部材の断面積である。しかし、マイクロプロセッサパッケージ内の上方の伝熱経路の総熱抵抗は  $\theta_{Die}$  と局所熱抵抗  $\theta_{Die-local}$  の和であり、 $\theta_{JCTop}$  を用いた温度予測では、局所熱抵抗  $\theta_{Die-local}$  の分だけジャンクション温度  $T_J$  を低く見積もってしまうことになる。また、JEDEC 環境と Heat Sink Base Case では、僅かな差ではあるが  $\theta_{Die-local}$  が異なる値を採る。

JEDEC 環境で得られた  $\theta_{JB}$  は、マイクロプロセッサパッケージ内の下方の伝熱経路の総熱抵抗よりも大きい値を採る。これは  $T_B$  がパッケージ底面温度ではなく、ボード温度として規定されているためである。また、JEDEC 環境と Heat Sink Base Case では、 $\theta_{Die-local}$  及び  $\theta_{Pkg-spreading}$  が異なる値を採る。

上記に加えて、2 抵抗モデルを 3 次元熱流体シミュレーションに適用する場合、マイクロプロセッサパッケージの上面及び底面では、温度分布を一様として扱う [A-16] ため、それぞれの伝熱経路の下流において熱の流れを適切に表現できず、さらに温度予測誤差が大きくなる。

#### A.3.4 各テストケースにおける熱抵抗値の変動

前項では、JEDEC で規定された環境及び実システム環境で  $\theta_{JCTop}$  及び  $\theta_{JB}$  が採る値の違いについて検証した。本項では、2 抵抗モデルの誤差要因について考察するため、テストの種類ごとに、3.2 節で導入した熱回路網を構成する熱抵抗と  $\theta_{JCTop}$  及び  $\theta_{JB}$  の値の変動の仕方を比較し、考察する。

##### A.3.4.1 放熱機構を変えた際の熱抵抗値の変動

シリコンダイ底面における発熱分布を一様、マザーボードの平面方向のサイズを 150 mm × 150 mm とし、放熱機構を変えた際の各熱抵抗の変動について検証する。マイクロプロセッサパッケージの熱抵抗を  $\theta_{JCTop}$  及び  $\theta_{JB}$  とともに図 A.25 及び図 A.26 に示す。

図 A.25 に示す通り、採用する放熱機構によって、局所熱抵抗  $\theta_{Die-local}$  は変動する。一方、 $\theta_{JCTop}$  も放熱機構の違いによって僅かに変動するものの、ほぼ一定であり、その値は上方の伝熱経路に属するマイクロプロセッサパッケージの総抵抗 ( $\theta_{Die-local} + \theta_{Die}$ ) より小さく、式 (A.8) から算出されるシリコンダイの熱抵抗値に近い。

図 A.26 に示す通り、2 つの  $\theta_{JB}$  はいずれも熱回路網における下方の伝熱経路に属するマイクロプロセッ



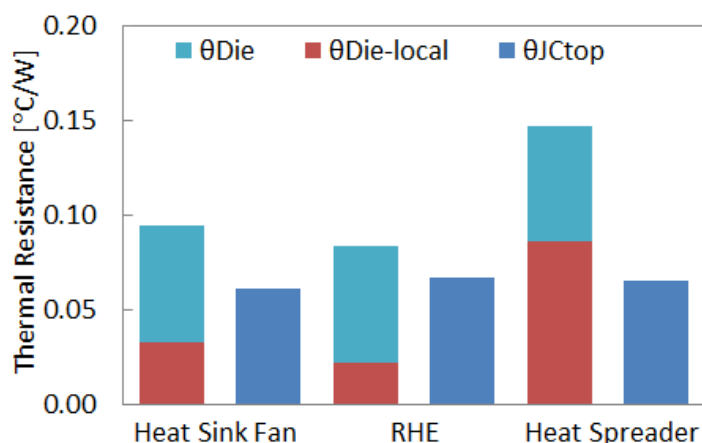


Figure A.25 Package Thermal Resistance Comparison along Upper Heat Transfer Path by Cooling Solution Difference.

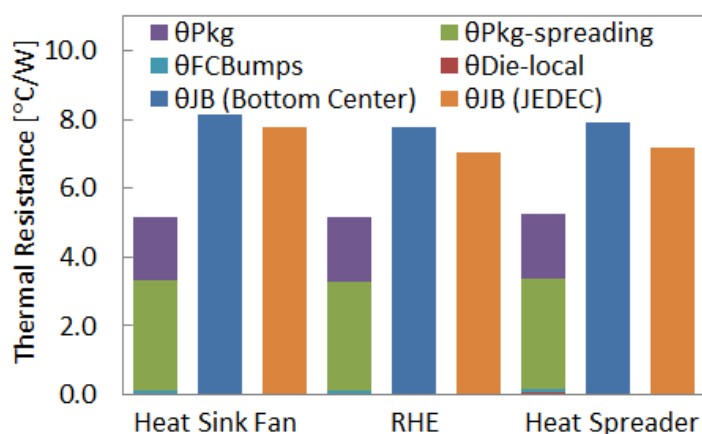


Figure A.26 Package Thermal Resistance Comparison along Lower Heat Transfer Path by Cooling Solution Difference.

サパッケージの総熱抵抗 ( $\theta_{Die-local} + \theta_{FCBumps} + \theta_{Pkg-spreading} + \theta_{Pkg}$ ) より大きい。また、放熱機構の種類により、2つの  $\theta_{JB}$  には有意な値の変動が見られた。

#### A.3.4.2 マザーボードサイズを変動させた際の熱抵抗値の変動

シリコンダイ底面における発熱分布は一樣、放熱機構にファン付きヒートシンクを採用するものとして、マザーボードの平面方向のサイズを 100 mm × 100 mm から 300 mm × 300 mm まで変化させた際の、各熱抵抗の変動について検証する。マイクロプロセッサパッケージの熱抵抗を  $\theta_{JCTop}$  及び  $\theta_{JB}$  とともに図 A.27 及び図 A.28 に示す。

マザーボードサイズによって、局所熱抵抗  $\theta_{Die-local}$  は非常に僅かであるが変動する。一方、 $\theta_{JCTop}$  はほぼ一定であり、式 (A.8) から算出されるシリコンダイの熱抵抗値に近い。また、下方の伝熱経路に属するマイクロプロセッサパッケージの総熱抵抗の変化は、主に拡大熱抵抗  $\theta_{Pkg-spreading}$  によるもので、マザーボ

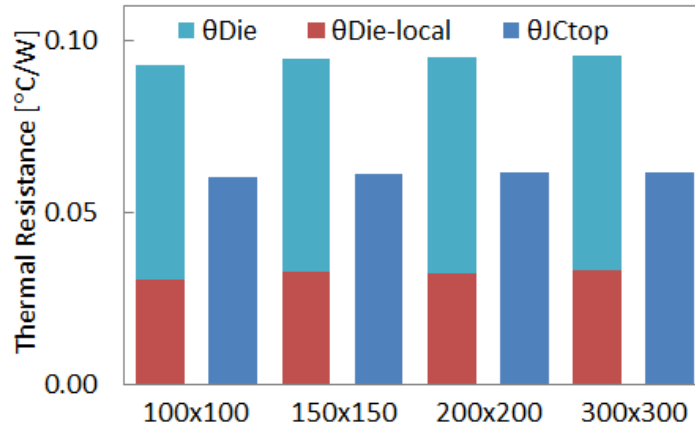


Figure A.27 Package Thermal Resistance Comparison along Upper Heat Transfer Path by Motherboard Size Difference.

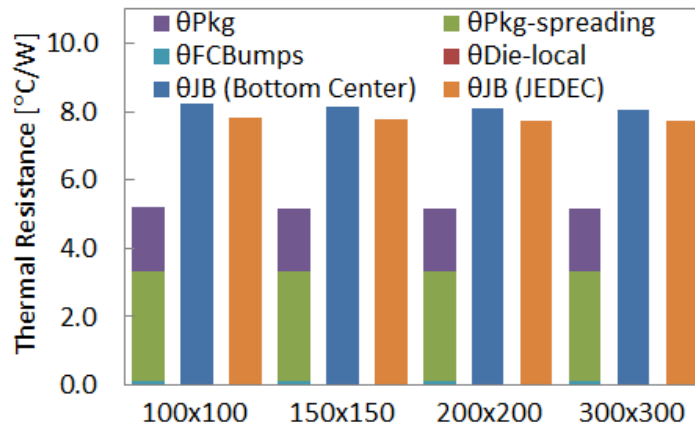


Figure A.28 Package Thermal Resistance Comparison along Lower Heat Transfer Path by Motherboard Size Difference.

ードサイズが大きくなるほど値が小さくなる。2つの $\theta_{JB}$ も、マザーボードサイズが大きくなるほど値が小さくなる。放熱機構の種類の場合と同様、2つの $\theta_{JB}$ には有意な変動が見られた。

#### A.3.4.3 シリコンダイにおける発熱分布を変化させた際の熱抵抗値の変動

マザーボードの平面方向のサイズを 150 mm × 150 mm、放熱機構にファン付きヒートシンクを採用するものとして、シリコンダイ底面における発熱分布を変化させた際の、各熱抵抗の変動について検証する。マイクロプロセッサパッケージの熱抵抗を $\theta_{JCTop}$ 及び $\theta_{JB}$ とともに図 A.29 及び図 A.30 に示す。なお、図中の Uniform は Heat Sink Base Case による結果でシリコンダイ底面が均一発熱している場合を示している。

上方の伝熱経路については、高発熱エリアの発熱密度が高くなるほど、局所熱抵抗 $\theta_{Die-local}$ 、 $\theta_{JCTop}$ ともに大きな値を採り、 $\theta_{JCTop}$ は局所熱抵抗 $\theta_{Die-local}$ よりも大きく変動する（図 A.29）。下方の伝熱経路につい

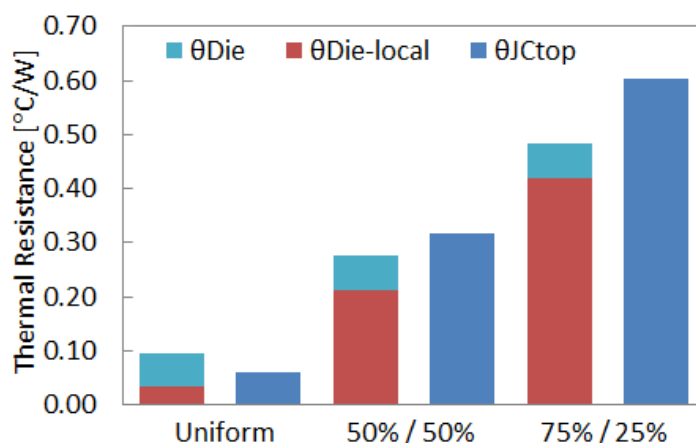


Figure A.29 Package Thermal Resistance Comparison along Upper Heat Transfer Path by Heat Distribution Difference.

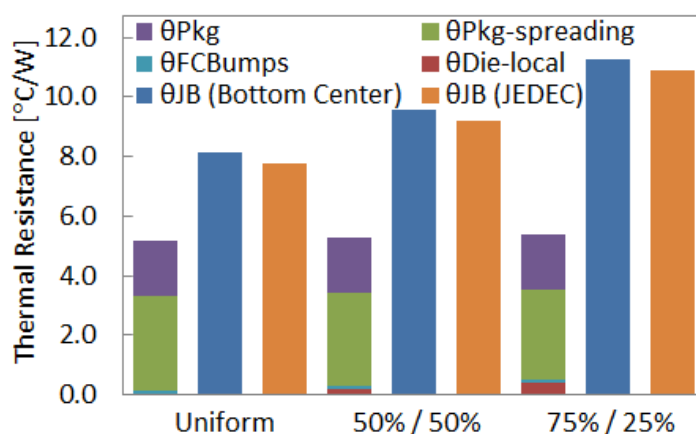


Figure A.30 Package Thermal Resistance Comparison along Lower Heat Transfer Path by Heat Distribution Difference.

では、2つの $\theta_{JB}$ はいずれも下方の伝熱経路に属するマイクロプロセッサパッケージの総熱抵抗より大きく、高発熱エリアの発熱密度が高くなるほど値が大きくなる。(図 A.30)。逆に、 $\theta_{Pkg-spreading}$ の値は高発熱エリアの発熱密度が高くなるほど値が小さくなる。

#### A.3.5 $\theta_{JCTop}$ 及び $\theta_{JB}$ の変動要因に関する考察

シリコンダイ底面で一様発熱する場合、図 A.25 及び図 A.27 より、 $\theta_{JCTop}$  は放熱機構、マザーボードサイズの違いによらず、ほぼ一定であり、式 (A.8) で示される熱抵抗値に近い値を採ることが分かる。一方、発熱分布が変化すると、図 A.29 に示す通り、 $\theta_{JCTop}$  の値が大きく変動する。 $\theta_{JCTop}$  は特定の 2 点間で定義される熱抵抗であり、式 (A.6) の分子の温度差はその 2 点間に流れる局所的な熱流束によって決まるのに対して、分母にはその伝熱経路に流れる総伝熱量を用いている。そのため、2 点間に流れる局所的な熱流束が変化すると、分母、分子のバランスが崩れ、値が変動する。つまり、一様発熱の場合には、

熱流束もほぼ一様であるため、 $\theta_{J\text{Ctop}}$  はシリコンダイの熱抵抗  $\theta_{\text{Die}}$  に近いほぼ一定の値を採るが、発熱分布が一様でない場合には、大きく異なる値を採る可能性がある。近年のマイクロプロセッサには、CPU (Central Processing Unit)、GPU (Graphics Processing Unit)、I/O (Input Output) といった異なる種類の回路が搭載され、シリコンダイ底面が一様発熱しているとは言い難い。また、動作状態により、各部の発熱密度は大きく変化する。そのため、 $\theta_{J\text{Ctop}}$  が決定された状態と温度予測を行う際の動作状態が大幅に異なる場合には、 $\theta_{J\text{Ctop}}$  を用いて算出した予測温度には大きな誤差が含まれることになり、注意が必要である。マイクロプロセッサが 20W 発熱時、Heat Distribution テストの 75%/25% ケースでは上方の伝熱経路に約 17.7W の熱が流れる。均一発熱と 75%/25% ケースでは  $\theta_{J\text{Ctop}}$  が 0.54°C/W 程度異なるため、均一発熱の  $\theta_{J\text{Ctop}}$  値を 75%/25% ケースに用いると、9.6°C 程度  $T_J$  を低く見積もってしまうことになる。

図 A.26、図 A.28 及び図 A.30 より、2 つの  $\theta_{JB}$  定義のいずれに関しても、放熱機構、マザーボードサイズ、発熱分布の違いにより、値が大きく変動する。そのため、特定条件で取得した  $\theta_{JB}$  値を用いると大きな予測誤差を生じることになる。 $\theta_{JB}$  についても  $\theta_{J\text{Ctop}}$  と同様に式 (A.7) の分子、分母のバランスによって値が変動するが、それ以上に、マザーボード表面の特定点を  $T_B$  としていることで、 $\theta_{\text{Brd-spreading}}$  や  $\theta_{\text{Brd}}$  による影響の一部を取り込んでしまっていることが主要因と考えられる。

$\theta_{J\text{Ctop}}$  と  $\theta_{JB}$  が変動する場合、同様に  $T_{\text{Ctop}}$  と環境温度、 $T_B$  と環境温度の間に存在する熱抵抗も変動するため、異なる条件から得られた熱抵抗を組み合わせると、さらに大きな予測誤差を生じる可能性がある。このような問題は 2 抵抗モデルに限らず、特定点をノードとして構成する従来の 1 次元の熱回路網全般に存在しており、注意が必要である。

#### A.3.6 2 抵抗モデルによる定常解析とその誤差に関する考察のまとめ

本節では、2 抵抗モデルを用いた定常解析の概要について説明し、その温度予測誤差の要因について検証、考察した。得られた知見は、以下の通りである。

- マイクロプロセッサパッケージが同一であっても放熱機構やマザーボードサイズが異なる環境で取得した  $\theta_{JB}$  は異なる値を採る。
- 発熱分布に偏りがあるケースで取得した  $\theta_{J\text{Ctop}}$  及び  $\theta_{JB}$  は、JEDEC 定義の  $\theta_{J\text{Ctop}}$  及び  $\theta_{JB}$  より大きい値を採る。
- JEDEC 定義の  $\theta_{J\text{Ctop}}$  にはシリコンダイ底面の局所熱抵抗  $\theta_{\text{Die-local}}$  による影響が適切に織り込まれていない。また、JEDEC 定義の  $\theta_{JB}$  はボード温度を用いて算出されるため、マイクロプロセッサパッケージの熱抵抗を過大評価してしまう。

## 参考文献

- [A-1] 西剛伺, “マルチコアプロセッサのダイ周りの非定常熱伝導シミュレーション”, 熱工学コンファレンス 2010 (2010), C114.
- [A-2] K. Nishi, “Transient Heat Conduction Simulation of the Lidless Micro PGA Processor”, ICEP2011 Proceedings (2011), TB4-3, pp. 311-314.
- [A-3] 西剛伺, “マイクロプロセッサのダイ周りの非定常熱伝導シミュレーション”, 日本伝熱学会論文集, Vol. 20, No. 2, pp. 27-34 (2012).
- [A-4] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Thermal Analysis of The Microprocessor System One-Dimensional Thermal Network with Power Estimation Equation”, ITHERM2014 (2014).
- [A-5] 谷腰欣司, DC モータ活用の実践ノウハウ, CQ 出版社.
- [A-6] 西剛伺, “マイクロプロセッサのダイ周りの非定常熱伝導シミュレーション ファン付きヒートシンクによる冷却に関する研究”, D122, 熱工学コンファレンス 2011 (2011).
- [A-7] Revision Guide for AMD Family 10h Processors, Publication # 41322, Rev 3.92, March 2012.
- [A-8] “2.10 Thermal Functions”, BIOS and Kernel Developer’s Guide (BKDG) For AMD Family 10h Processors, Publication # 31116, Rev 3.62, pp. 162-164, January 2013.
- [A-9] 大串哲朗, “準定常直線フィン温度分布フィッティング法による平板面内方向熱伝導率測定法の実験的研究”, 熱工学コンファレンス講演論文集, No.13-55 (2013), pp.251-252.
- [A-10] 近藤大二, 畠山友行, 石塚勝, 富村寿夫, “実測した有効熱伝導率を用いたプリント配線基板の温度分布予測手法の検討”, 日本機械学会 2012 年度年次大会 (2012), J061011.
- [A-11] J.R. Culham, M.M. Yovanovich, “Factors affecting the calculation of effective thermal conductivity in printed circuit boards”. Sixth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (1998), pp.460-467.
- [A-12] K. Nishi, T. Hatakeyama, S. Nakagawa, M. Ishizuka, “Modeling of microprocessor package substrate with effective thermal conductivity”, ISTP-24 (2013).
- [A-13] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “マイクロプロセッサパッケージにおける拡大熱抵抗の非定常挙動に関する考察”, Mate2014 (2014), 38.
- [A-14] FloTHERM, <http://www.mentor.com/products/mechanical/flotherm/flotherm/>
- [A-15] JEDEC Standard, Compact Thermal Model Overview, JESD15-1, October 2008.
- [A-16] JEDEC Standard, Two-Resistor Compact Thermal Model Guideline, JESD15-3, July 2008.
- [A-17] 半導体製品におけるパッケージ熱特性ガイドライン, JEITA EDR-7336, 電子情報技術産業協会技術レポート, 2010 年 10 月.
- [A-18] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Parameter Refinement of The Two-Resistor Model for CFD Simulation”, ISMNT-4 (2013), ID-10.
- [A-19] “The worlds first combination of low-power CPU and advanced GPU intergrated into a single embedded device”, Product Brief : AMD Embedded G-Series APU Platform, Publication # 49282 (2013).
- [A-20] Family 16h Models 00h-0Fh AMD A-Series Mobile Accelerated Processor Product Data Sheet, Publication # 52169, Rev 3.03, February 2014.

- 
- [A-21] K. Nishi, T. Hatakeyama and M. Ishizuka, “Steady and Transient Heat Transfer Analysis of The Microprocessor System Using One-Dimensional Thermal Network”, InterPACK2013 (2013), IPACK2013-73052.
- [A-22] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “半導体パッケージ向け 2 抵抗モデルに関する考察”, E124, 日本伝熱シンポジウム 2014 (2014).
- [A-23] JESD51-8, “Integrated Circuit Thermal Test Method Environmental Conditions – Junction-to-Board”, JEDEC Standard (1999).
- [A-24] JESD51-12, “Guidelines for Reporting and Using Electronic Package Thermal Information”, JEDEC Standard (2005).

---

## 研究業績

### 1. 論文

- [1] 西剛伺, “マイクロプロセッサのダイ周りの非定常熱伝導シミュレーション”, 日本伝熱学会論文集, Vol. 20, No. 2, pp. 27-34 (2012).
- [2] 西剛伺, 畠山友行, 石塚勝, “消費電力制限機能を有するマイクロプロセッサの非定常熱伝導シミュレーション”, 電子情報通信学会論文誌 C, Vol.J96-C, No.11, pp. 419-426 (2013).
- [3] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Heat Transfer of The Microprocessor System Investigation regarding Natural Convection with Slate Style Chassis”, Transactions of The Japan Institute of Electronics Packaging, E13-007 (2013).

### 2. 国際会議プロシーディングス (有査読)

- [1] K. Nishi, T. Hatakeyama and M. Ishizuka, “Steady and Transient Heat Transfer Analysis of The Microprocessor System Using One-Dimensional Thermal Network”, InterPACK2013, IPACK2013-73052 (2013).
- [2] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Parameter Refinement of The Two-Resistor Model for CFD Simulation”, ISMNT-4, ID-10 (2013).
- [3] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Modeling of Microprocessor Package Substrate with Effective Thermal Conductivity”, ISTP-24 (2013).
- [4] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Slate Style Electronic Device Analysis Utilizing One-Dimensional Thermal Network”, FLUCOME2013 (2013).
- [5] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Thermal Analysis of The Microprocessor System One-Dimensional Thermal Network with Power Estimation Equation”, ITherm2014 (2014).
- [6] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Transient Thermal Behavior of The Microprocessor System - Investigation of Effects by Distributed Thermal Capacitance and Thermal Spreading Resistances”, IHTC-15 (2014).
- [7] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “Thermal Spreading Resistance and Thermal Local Resistance Evaluations by Iterative Calculation”, 39, ISTP-25 (2014).

### 3. 国際会議プロシーディングス (無査読)

- [1] K. Nishi, “Transient Heat Conduction Simulation of the Lidless Micro PGA Processor”, ICEP2011 Proceedings, TB4-3, pp. 311-314 (2011).
- [2] K. Nishi, “Transient Heat Conduction Simulation of The Microprocessor Investigation regarding Thermal Control with Power Limiting”, ICEP-IAAC 2012 Proceedings, FC4-1, pp. 545-550 (2012).
- [3] K. Nishi, T. Hatakeyama and M. Ishizuka, “Transient Heat Transfer of The Microprocessor System Investigation regarding Natural Convection with Slate Style Chassis”, ICEP2013 Proceedings, WD2-2, pp. 101-105 (2013).

- 
- [4] K. Nishi, T. Hatakeyama, S. Nakagawa and M. Ishizuka, “One-Dimensional Thermal Network Expression of Tablet Device with Slate Style Chassis”, ICEP2014 Proceedings, FC3-1, pp. 585-590 (2014).

#### 4. 国内会議

- [1] 西剛伺, “マルチコアプロセッサのダイ周りの非定常熱伝導シミュレーション”, C114, 熱工学コンファレンス 2010 (2010).
- [2] 西剛伺, “マイクロプロセッサのダイ周りの非定常熱伝導シミュレーション ファン付きヒートシンクによる冷却に関する研究”, D122, 熱工学コンファレンス 2011 (2011).
- [3] 西剛伺, 畠山友行, 石塚勝, “非定常熱シミュレーションのためのマイクロプロセッサの消費電力推定式に関する研究”, J061014, 日本機械学会年次大会 (2012).
- [4] 西剛伺, 畠山友行, 石塚勝, “熱回路網法によるマイクロプロセッサのシリコンダイの非定常温度予測”, C312, 日本伝熱シンポジウム 2012 (2012).
- [5] 西剛伺, 畠山友行, 石塚勝, “マイクロプロセッサの放熱経路に関する考察 熱回路網における熱抵抗表現について”, H121, 熱工学コンファレンス 2012 (2012).
- [6] 西剛伺, 畠山友行, 石塚勝, “マイクロプロセッサパッケージの熱抵抗表現に関する研究”, 73, Mate2013 (2013).
- [7] 西剛伺, 畠山友行, 石塚勝, “マイクロプロセッサのダイ温度予測のための簡易手法”, F333, 日本伝熱シンポジウム 2013 (2013).
- [8] 西剛伺, 畠山友行, 石塚勝, “1次元熱回路網による電子機器の非定常熱解析 熱抵抗の時間遷移のモデル化”, J012032, 日本機械学会年次大会 (2013).
- [9] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “マイクロプロセッサにおけるホットスポット温度非定常挙動のモデル化”, H112, 熱工学コンファレンス 2013 (2013).
- [10] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “マイクロプロセッサパッケージにおける拡大熱抵抗の非定常挙動に関する考察”, 38, Mate2014 (2014).
- [11] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “半導体パッケージ向け2抵抗モデルに関する考察”, E124, 日本伝熱シンポジウム 2014 (2014).
- [12] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “熱の流れが分岐する箇所における拡大熱抵抗に関する考察”, J0310101, 日本機械学会年次大会 (2014).
- [13] 西剛伺, “1次元熱回路網を用いたスレート型タブレット筐体の伝熱経路の検証”, 21, エレクトロニクス実装学会 2014 ワークショップ (2014).
- [14] 西剛伺, 畠山友行, 中川慎二, 石塚勝, “繰り返し計算による電子機器の熱抵抗算出手法”, B132, 熱工学コンファレンス 2014 (2014).

#### 5. プレゼンテーション

- [1] 西剛伺, 日本機械学会 RC248 研究分科会.
- [2] 西剛伺, 日本機械学会 RC256 研究分科会.
- [3] 西剛伺, 日本機械学会 RC265 研究分科会.



---

## 6. 受賞歴

[1] ICEP2013 Best Paper Award, 国際会議プロシーディングス（無査読）[3]にて受賞.

---

---

## 謝辞

本研究は、著者が富山県立大学大学院工学研究科博士後期課程在学中に同大学 石塚 勝 学長，同大学工学部機械システム工学科 中川 慎二 准教授，畠山 友行 講師のご指導のもと，行いました．多大なるご指導と激励を賜り，心から感謝の意を表します．

石塚先生には，入学前から博士後期課程進学に関する相談に乗って頂き，1年次には指導教官としてご指導頂きました．博士論文の全体構成，投稿すべき論文，国内外の講演会について，きめ細かくご指導を賜りました．社会人としての入学であり，入学当初は業務とのバランスを心配しておりましたが，早い時期から在学3年間のプランについて相談させて頂き，具体的なスケジュールを立てることができたため，安心して3年間を過ごすことができました．また，学長になられた後もご多忙の合間にメール等でご指導を賜ることがあり，非常に励みになりました．

中川先生には，2年次から3年次の2年間，指導教官としてご指導頂きました．特に，博士論文の具体的な構成，内容に関して，きめ細かくご指導を賜りました．博士論文の作成に関しては，何度何度もチェックして頂き，大変お手数をお掛けしました．

畠山先生には，在学中3年間を通じて，論文，国内外の講演会に投稿する内容について詳細な議論，ご指導を賜りました．また，ご一緒させて頂いた講演会では単なる参加，発表に留まらず，国内外の多くの研究者と知り合うきっかけを頂きました．

また，研究室の先輩であるコーセル株式会社 小泉 雄大 博士，岩手大学 福江 高志 助教には，研究の節目に当たる中間審査等に関して，経験者としてご助言を頂き，スムーズに準備を進めることができました．御礼申し上げます．

学位論文審査においてご指導を賜りました，同大学機械システム工学科 川上 崇 教授，森 孝男 教授，坂村 芳孝 教授，中川 慎二 准教授，畠山 友行 講師，富山大学工学部機械知能システム工学科 平澤 良男 教授に心より感謝申し上げます．予備審査，本審査の2回の審査を通じて，さまざまな角度からご意見，ご指導を賜り，博士論文の完成度を高めることができました．

日本機械学会研究分科会や国内外講演会でご指導，ご鞭撻を賜りました，東京工業大学 中山 亘 名誉教授，熊本大学 富村 寿夫 教授，広島国際大学 大串 哲朗 名誉教授，東京工業大学 伏信 一慶 准教授，株式会社日立製作所 近藤 義広 博士に御礼申し上げます．電子機器の熱設計に関する研究に携わられていらっしゃる先生方，専門家のご意見は，博士論文作成のためのエッセンスになりました．

JEITA（一般社団法人 電子情報技術産業協会）半導体部会熱特性タスクフォース（現 熱設計技術サブコミティ）メンバーの皆様にご御礼申し上げます．半導体パッケージに関する活発な議論には，大いに刺激を受けました．また，本研究の初期の成果について，さまざまな角度からご意見を頂きました．

博士後期課程進学についてご快諾頂き，その後もいろいろご協力下さった当時の上司，日本 AMD 株式

---

会社ジャパンエンジニアリングラボ元所長 福井 健人 氏に御礼申し上げます.

最後に、在学中の3年間、支えてくれた妻と娘に感謝します.